

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

Кафедра системного програмування і спеціалізованих комп'ютерних систем

До захисту допущено

Завідувач кафедри

_____ **Віталій РОМАНКЕВИЧ**
(підпис) (ініціали, прізвище)

“ ____ ” _____ 2020 р.

Дипломний проєкт

на здобуття ступеня бакалавра

за освітньо-професійною програмою « **Комп'ютерні системи та компоненти**»
спеціальності **123 «Комп'ютерна інженерія»**

на тему: Пристрій виправлення двократних помилок у системах збереження інформації

Виконав:

студент IV курсу, групи КВ-62

_____ **Антонюк Антон Андрійович** _____
(прізвище, ім'я, по батькові) (підпис)

Керівник _____ **асистент Коляда К.В** _____
(посада, науковий ступінь, вчене звання, прізвище та ініціали) (підпис)

Консультант з нормоконтролю, доц.каф.СПСКС, к.т.н. **Клятченко Я.М.** _____
(назва розділу) (посада, вчене звання, науковий ступінь, прізвище, ініціали) (підпис)

Рецензент _____
(посада, науковий ступінь, вчене звання, науковий ступінь, прізвище та ініціали) (підпис)

Засвідчую, що у цьому дипломному проєкті немає запозичень з праць інших авторів без відповідних посилань.

Студент _____
(підпис)

Київ – 2020 року

**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»**

ФАКУЛЬТЕТ ПРИКЛАДНОЇ МАТЕМАТИКИ

Кафедра системного програмування і спеціалізованих комп'ютерних систем

Рівень вищої освіти – перший (бакалаврський)

Спеціальність 123 «Комп'ютерна інженерія»

Освітньо-професійна програма «Комп'ютерні системи та компоненти»

ЗАТВЕРДЖУЮ

Завідувач кафедри

_____ Віталій РОМАНКЕВИЧ
(підпис) (ініціали, прізвище)

«__» _____ 2020 р.

ЗАВДАННЯ

на дипломний проєкт студента

Антонюка Антона Андрійовича

1. Тема проєкту «Пристрій виправлення двократних помилок у системах збереження інформації»,
керівник проєкту асистент Коляда Костянтин Вячеславович,
затверджені наказом по університету від «__» _____ 2020 р. № _____
2. Термін подання студентом проєкту _____
3. Вихідні дані до проєкту: розроблений пристрій для корегування двократних помилок в системах збереження інформації, поведінкова модель пристрою на мові програмування VHDL.
4. Зміст пояснювальної записки: аналіз існуючих лінійних та циклічних кодів; обґрунтування вибору системи кодів; побудова пристрою та опис логіки його функціонування; опис створеної програмної поведінкової моделі; симуляція роботи моделі пристрою на тестових даних; висновки.
5. Перелік графічного матеріалу: Схема електронна структурна; Схема електрична функціональна; Схема алгоритму; Модель. Схема структурна.

6. Консультанти розділів проєкту

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Норм-контроль	Клятченко Я.М.		

7. Дата видачі завдання

Календарний план

№ з/п	Назва етапів виконання дипломного проєкту	Термін виконання етапів проєкту	Примітка
1	Вивчення літератури за тематикою роботи	27.02.2020	
2	Розроблення та узгодження технічного завдання	20.03.2020	
3	Аналіз існуючих рішень	28.03.2020	
4.	Підготовка матеріалів розділів дипломного проєкту	20.04.2020	
5.	Підготовка звіту дипломного проєкту	15.05.2020	
6.	Передзахист дипломного проєкту	20.05.2020	

Студент

(підпис)

Антон АНТОНЮК

(Ім'я та ПРІЗВИЩЕ)

Керівник проєкту

(підпис)

Костянтин КОЛЯДА

(Ім'я та ПРІЗВИЩЕ)

АННОТАЦІЇ

Бакалаврський проєкт включає пояснювальну записку, яка містить: 53 сторінок, 22 рисунки, 7 таблиць, 11 джерел.

Об'єкт розробки – велика інтегральна схема пристрою знаходження та виправлення кратних помилок (ВІС ПЗВП).

Ціль розробки – підвищення надійності запам'ятовуючих пристроїв за рахунок використання корегуючого коду.

В дипломному проєкті було досліджені лінійні та циклічні коди, коди розроблені для корекції кратних помилок (коди Хеммінга, БЧХ, Файра, Абрамса, Ріда-Соломона). Був розроблений пристрій знаходження та виправлення кратних помилок на основі коду БЧХ з мінімальною кодовою відстанню $d = 6$, що здатний виправляти дворозрядні та знаходити трирозрядні помилки. Була створена модель розробленого пристрою на мові VHDL, для перевірки працездатності та симуляції на тестових комбінаціях.

Пристрій знаходження та виправлення помилок може бути реалізовано на базовому матричному кристалі.

Розв'язання зазначеної задачі містить:

- синтез структури та функціональних схем;
- алгоритм побудови блоку управління пристроєм;
- створення моделі розробленого пристрою.

Складено структурні та функціональні схеми, блок-схема алгоритму роботи блоку управління.

Ключові слова:

ЛІНІЙНІ КОДИ, ЦИКЛІЧНІ КОДИ, КОРЕГУЮЧІ КОДИ, БЧХ КОДИ, Н-МАТРИЦЯ, ВИЯВЛЕННЯ КРАТНИХ ПОМИЛОК, VHDL, ОЗУ, ЗП, КОДОВА ВІДСТАНЬ.

ANNOTATIONS

The bachelor's project includes an explanatory note, which contains: 53 pages, 22 pictures, 7 tables, 11 sources.

The object of development is a large integrated circuit of the device for finding and correcting multiple errors (LIC DFCE).

The goal of development is to increase the reliability of storage devices through the use of corrective code.

In the diploma project, linear and cyclic codes were investigated, codes are developed for the correction of multiple errors (codes of Hamming, BCH, Fire, Abrams, Reed-Solomon). A device for finding and correcting multiple errors based on the BCH code with a minimum code distance $d = 6$ was developed, which can correct two-bit and find three-bit errors. A model of the developed device was created in the VHDL language, for testing performance and simulation on test combinations.

The device for finding and correcting errors could be implemented on a basic matrix crystal.

The solution to this problem contains:

- synthesis of structure and functional schemes;
- algorithm for constructing a device control unit;
- creating a model of the developed device.

Structural and functional schemes, the block diagram of the algorithm of work of the control unit was created.

Keywords:

LINEAR CODES, CYCLIC CODES, CORRECTION CODES, BCH CODES, H-MATRIX, MULTIPLE ERROR DETECTION, VHDL, RAM, ROM, CODE DISTANCE.

[illegible]

[illegible]

[illegible]

ЗМІСТ

1. НАЙМЕНУВАННЯ ТА ГАЛУЗЬ РОЗРОБКИ	2
2. ПІДСТАВА ДЛЯ РОЗРОБКИ	2
3. МЕТА І ПРИЗНАЧЕННЯ РОБОТИ	2
4. ДЖЕРЕЛА РОЗРОБКИ	2
5. ТЕХНІЧНІ ВИМОГИ	2
5.1. Вимоги до програмного забезпечення для середовища Active-HDL, для запуску моделі поведінки.	2
5.2. Вимоги до апаратного забезпечення для середовища Active-HDL, для запуску моделі поведінки.	3
6. ЕТАПИ РОЗРОБКИ	4

					ІАЛЦ.467200.002 ТЗ				
Змін	Арк.	№ докум.	Підпис	Дата					
Розробив	Антонюк А.А.				<i>Пристрій виправлення двократних помилок у системах збереження інформації.</i> Технічне завдання		Літ.	Аркуш	Аркушів
Перевірив	Коляда К.В.							1	4
				КПІ ім. Ігоря Сікорського, ФПМ КВ-62					
Н. контроль	Клятченко Я.М.								
Затвердив	Романкевич В.О.								

1. НАЙМЕНУВАННЯ ТА ГАЛУЗЬ РОЗРОБКИ

Назва розробки: «Пристрій виправлення двократних помилок у системах збереження інформації».

Галузь застосування: масиви збереження даних, комп'ютерні системи.

2. ПІДСТАВА ДЛЯ РОЗРОБКИ

Підставою для розробки є завдання на дипломне проєктування на здобуття першого (бакалаврського) рівня вищої освіти, затверджене кафедрою системного програмування і спеціалізованих комп'ютерних систем Національного технічного університету України «Київський політехнічний інститут імені Ігоря Сікорського».

3. МЕТА І ПРИЗНАЧЕННЯ РОБОТИ

Метою даного проєкту є розробка пристрою, що виправляє двократні помилки та виявляє трикратні помилки, а також створення поведінкової моделі розробленого пристрою на мові VHDL.

4. ДЖЕРЕЛА РОЗРОБКИ

Джерелом інформації є технічна та науково-технічна література, технічна документація, публікації в періодичних виданнях та електронні статті у мережі Інтернет.

5. ТЕХНІЧНІ ВИМОГИ

5.1. Вимоги до програмного забезпечення для середовища Active-HDL, для запуску моделі поведінки

- сумісність з операційною системою Windows.

					ІАЛЦ.467200.002 ТЗ	Арк.
						2
Змін.	Арк.	№ докум.	Підпис	Дата		

5.2. Вимоги до апаратного забезпечення для середовища Active-HDL, для запуску моделі поведінки

- Процесор: x86-сумісний;
- Оперативна пам'ять:
 - для Windows 32 bit – мінімум 3 Гб;
 - для Windows 64 bit – мінімум 4 Гб;
- Відеокарта: AMD Radeon R5 M330 або GeForce 940MX;
- Місце на диску: 1 Гб;
- Пристрій вводу: мишка або клавіатура.

					ІАЛЦ.467200.002 ТЗ	Арк.
						3
Змін.	Арк.	№ докум.	Підпис	Дата		

6. ЕТАПИ РОЗРОБКИ

№ з/п	Назва етапів виконання дипломного проєкту	Термін виконання етапів
1.	Вивчення літератури за тематикою проєкту	27.02.2020
2.	Розроблення та узгодження технічного завдання	20.03.2020
3.	Аналіз існуючих рішень	28.03.2020
4.	Підготовка матеріалів розділів дипломного проєкту	20.04.2020
5.	Підготовка звіту дипломного проєкту	15.05.2020
6.	Передзахист дипломного проєкту	20.05.2020

					ІАЛЦ.467200.002 ТЗ	Арк.
Змін.	Арк.	№ докум.	Підпис	Дата		4

[illegible]

ЗМІСТ

ПЕРЕЛІК УМОВНИХ СКОРОЧЕНЬ	2
ВСТУП	3
1. ВИКОРИСТАННЯ КОРЕГУЮЧИХ КОДІВ В ЗП	4
1.1. Основні терміни та визначення	4
1.2. Циклічні коди та їх характеристики	7
1.3. Коди для корекції кратних помилок	9
1.4. Пристрої виявлення та виправлення помилок	17
2. РОЗРОБКА ПЗВП З КОДОМ БЧХ	20
2.1. Побудова коду.	20
2.2. Алгоритм декодування та корегування помилок.	25
2.3. Структурна схема використання пристрою.	26
2.4. Функціональна схема використання пристрою.	26
3. ПОБУДОВА МОДЕЛІ	30
3.1. Структура моделі.	30
3.2. Моделювання роботи пристрою та відпрацювання на тестах.	32
3.2.1. Тестування компонентів моделі.	32
3.2.2. Тестування моделі як єдиного пристрою.	42
ВИСНОВОК	52
ЛІТЕРАТУРА	53

					ІАЛЦ.467200.004 ПЗ			
Змін	Арк.	№ докум.	Підпис	Дата	<i>Пристрій виправлення двократних помилок у системах збереження інформації.</i> Пояснювальна записка	Літ.	Аркуш	Аркушів
Розробив	Антонюк А.А.							
Перевірив	Коляда К.В.						1	53
Н. контроль	Клятченко Я.М.					КПІ ім. Ігоря Сікорського, ФПМ КВ-62		
Затвердив	Романкевич В.О.							

ПЕРЕЛІК УМОВНИХ СКОРОЧЕНЬ

БК – блок кодування

ВІС – велика інтегральна схема

ЗП – запам'ятовуючий пристрій

Код БЧХ – код Боуза-Чоудхурі-Хоквінгема

Код РС – код Ріда-Соломона

МП – мікросхема пам'яті

ОЗП – оперативно запам'ятовуючий пристрій

ОС – обчислювальна система

ПЗВП – пристрій знаходження та виправлення помилок

					ІАЛЦ.467200.004 ПЗ	Арк.
						2
Змін.	Арк.	№ докум.	Підпис	Дата		

ВСТУП

Використання корегуючи кодів є доволі ефективним та універсальним засобом захисту ЗП від відмов та збоїв. Реалізація в системах пам'яті ПЗВП, навіть при виправленні одинарних помилок ще 10 років тому потребувала використання 20-50 мікросхем малого та середнього степеню інтеграції, що не припустимо через ускладнення пристрою, зниження швидкодії, збільшення маси та габаритів. Окрім того, розробка блоків корегування для кожної конкретної системи пов'язана зі значними економічними затратами та негативно впливає на вартість виготовленої продукції. У зв'язку з цим виникає питання про розробку ПЗВП для ЗП у виді замовлених ВІС або вбудованих схем контролера ЗП, орієнтованих на достатньо широке використання. Це дозволяє використовувати ПЗВП не тільки в великих ЕВМ, промислових контролерах, системах військового та комерційного призначення, але і в мікропроцесорних пристроях і т.д., тобто там де раніше вважалося економічно не доцільно йти на додаткові затрати для знаходження та виправлення помилок, що складали приблизно 5% загальної вартості цих систем [6].

					ІАЛЦ.467200.004 ПЗ	Арк.
						3
Змін.	Арк.	№ докум.	Підпис	Дата		

1 ВИКОРИСТАННЯ КОРЕГУЮЧИХ КОДІВ В ЗП

1.1 Основні терміни та визначення

Для знаходження та виправлення помилок до інформаційних розрядів слів перед їх занесенням в ЗП додають контрольні розряди. Число контрольних розрядів залежить від кількості інформаційних розрядів, а також від виду і кратності помилок, які мають бути знайдені та виправлені. Коди, що володіють здатністю виявляти та виправляти виникаючі в кодових комбінаціях помилки, мають назву корегуючі коди [1].

В ЗП широке розповсюдження отримали двійкові блокові коди (лінійні та циклічні), в яких до блоку k інформаційних розрядів додаються r контрольні розряди.

В блокових кодах кодові слова представляються як послідовність кінцевої довжини з n розрядів, що також має назву блок ($n = k + r$).

В двійкових блокових кодах кожен розряд кодового слова може приймати одне з двох значень: 1 або 0.

В лінійних двійкових кодах контрольні розряди можна вибрати таким чином, щоб кожний з них дорівнював сумі по модулю два певних інформаційних розрядів. При декодуванні (тобто виявленні і виправленні помилок) по значенню зчитаних інформаційних розрядів визначаються поточні значення контрольних розрядів, які додаються по модулю два з однойменним контрольними розрядами зчитаного слова. Отримане таким чином слово для перевірки (синдром) при його нульовому значенні свідчить про наявність помилки в зчитаному слові і для кодів, що виправляють помилки, визначає місце помилки [1].

При використанні циклічних кодів n - розрядне слово, що зберігається в ЗП, представляється у виді многочлена $B(x)$ ступеню $n-1$, коефіцієнти якого дорівнюють значенням відповідних розрядів слова, а сам многочлен кратний твірному многочлену коду $P(x)$. Наявність нульової остачі від

					ІАЛЦ.467200.004 ПЗ	Арк.
						4
Змін.	Арк.	№ докум.	Підпис	Дата		

ділення $B(x)$ на твірний многочлен свідчить про наявність помилок в слові, а по вигляду остачі можна визначити місце помилки.

Кількість помилок, яка може бути виявлена і виправлена корегуючими кодами, визначається мінімальною кодовою відстанню d коду [1]. В корегуючих кодах для ЗП використовується кодова відстань Хеммінга – $d(B_i, B_j)$ між кодовими комбінаціями B_i, B_j , дорівнює кількості розрядів, в яких одна кодова комбінація відрізняється від іншої. Мінімальна відстань, взята по всім парам кодових комбінацій даного коду, має назву мінімальна кодова відстань:

$$d = \min d(B_i, B_j), \quad (1)$$

де d – мінімальна кодова відстань між комбінаціями B_i, B_j .

У ЗП, відмови в яких призводять до виникнення незалежних помилок в розрядах слів, помилка кратності t_0 змінює значення t_0 розрядів. Через це для виявлення помилок такої кратності необхідно і достатньо, щоб будь-які дві дозволені комбінації мали відстань не менше, ніж $t_0 + 1$. В цьому випадку помилка кратності не більше t_0 буде призводити до виникнення забороненої кодової комбінації [1]. Варто відмітити, що можливе виявлення помилок більшої кратності, якщо вони переведуть дозволена кодову комбінацію в заборонену, наприклад – $d = 2, t_0 = 1, 3, 5, 7, \dots$

Для виправлення помилок кратності t_0 збитковість коду повинна бути більше, ніж при їх виявленні. Якщо припустити, що вірогідність помилки кратності t_0 більше кратності помилки кратності $t_0 + 1$, то для виправлення всіх помилок з кратністю до t_0 включно необхідно і достатньо, щоб

$$d \geq 2t_0 + 1,$$

де d – мінімальна кодова відстань;

t_0 - кратність помилки.

					ІАЛЦ.467200.004 ПЗ	Арк.
						5
Змін.	Арк.	№ докум.	Підпис	Дата		

В цьому випадку при отриманні забороненого кодового слова приймається рішення, що в ЗП було записано одне з дозволених слів, відстань Хеммінга якого до зчитаного слова не перевищує $(d - 1)/2$.

Для описання властивостей і можливостей кодів використовують перевірочні H -матриці. H -матриця лінійного коду містить r рядків та n колонок. Кожній колонці матриці ставиться в відповідність один розряд n – розрядного слова. Кожний рядок H -матриці містить одиниці в позиціях, що відповідають інформаційним розрядам слова, значення яких додаються для отримання відповідного контрольного розряду. Для підрахунку контрольного розряду відповідна йому колонка H -матриці повинна містити одиницю в розглянутому рядку і нулі в інших позиціях. Наприклад, H -матриця для коду $(n, k) = (31, 26)$, що виправляє незалежні одиниці помилки, має наступний вигляд:

$$H = H'_{5,26} | I_5 = \begin{array}{cccc|c} 0000000000 & 0111111111 & 111111 & & 10000 \\ 0000111111 & 1000000011 & 111111 & & 01000 \\ 0111000111 & 1000111100 & 001111 & - & 00100 \\ 1011011001 & 1001100100 & 110011 & - & 00010 \\ 1101101010 & 1010101010 & 101010 & - & 00001 \\ U_{26} & & & & C_5 \end{array}$$

Стовпці 1-26 матриці $H'_{5,26}$ ставляться в відповідність інформаційним розрядам слова $U_1 \dots U_{26}$, стовпці $C_1 \dots C_5$ квадратної одиничної матриці I – контрольним розрядам. Для отримання значення розряду синдрому необхідно додати по модулю два інформаційних і контрольних розряди зчитаного слова, яким відповідають одиниці в рядку H -матриці. При нульовому значенні розрядів синдрому помилка відсутня. Якщо виникла помилка в одному з розрядів зчитаного слова, то значення синдрому не дорівнює нулю. Значення синдрому при одиничній помилці дорівнює значенню колонки H -матриці, що відповідає помилковому розряду слова. При виникненні двократної помилки синдром дорівнює сумі по модулю два колонок H -матриці, відповідних викривленим розрядам. Таким чином, при викривленні розрядів U_1 та U_3 значення синдрому 00101 і, в свою чергу, код

що розглядається дозволяє виправити однорозрядні або виявити дворозрядні помилки.

H-матриці мають наступні основні властивості:

- число одиниць в кожній з колонок *H*-матриці, що відповідає інформаційним розрядам слова, має бути не менше $d - 1$;
- при перестановці колонок *H*-матриці корегуючі властивості коду у відношенні до незалежних помилок в розрядів слів не змінюються;
- при перемноженні рядків *H*-матриці на нульові елементи та додаванні одного рядка до іншого, корегуючі властивості коду не змінюються.

Колонки *H*-матриці, що розглядається різняться. Окрім того, колонки що відповідають інформаційним розрядам слова, містять не менше дох одиниць. Через це код, що задається цією *H*-матрицею, має мінімальну кодову відстань $d = 3$, тобто дозволяє виправляти одинарні чи виявляти незалежні подвійні помилки.

1.2 Циклічні коди та їх характеристики.

Для зручного розгляду циклічні коди представляють комбінацію двійкового коду не в вигляді послідовності одиниць та нулів, а в вигляді полінома деякого ступеня:

$$B(x) = b_{n-1}x^{n-1} + b_{n-2}x^{n-2} + \dots + b_1x + b_0 ,$$

де x – основа системи відліку; b_i – цифри даної системи відліку (для двійкової системи – 0 та 1) [2].

					ІАЛЦ.467200.004 ПЗ	Арк.
						7
Змін.	Арк.	№ докум.	Підпис	Дата		

Наприклад, двійкова послідовність 0101 може бути записана в виді полінома від змінної x :

$$B(x) = 0x^4 + 1x^3 + 0x + 1x^0 = x^3 + 1$$

Представлення кодових комбінацій в виді полінома дозволяє звести дії над кодами до дій над многочленами. При цьому додавання двійкових многочленів зводиться до додавання по модулю два коефіцієнтів при рівних степенях x . Множення відбувається за правилом перемноження степеневих функцій, однак отримані при цьому коефіцієнти за однакових степенів x додаються по модулю два.

Ідея побудови циклічних кодів базується на використанні незвідних примітивних многочленів. Незвідним має назву многочлен, який не може бути представлений у виді добутку многочленів нижчих степенів. Примітивний незвідний многочлен забезпечує максимальну довжину корегуючого коду. Такі многочлени в теорії циклічних кодів грають роль твірних многочленів. При виправленні корегуючим кодом однорозрядних помилок по значенню частки від ділення прийнятої кодової комбінації на твірний многочлен можна винести судження про номер викривленого розряду. З цих причин максимальна розрядність коду n повинна дорівнювати числу часток по модулю твірного многочлену, тобто дорівнювати [2]:

$$n = 2^r - 1, \quad (2)$$

де n – максимальна розрядність коду;

r – кількість перевірочних розрядів

Циклічний код може бути представлений за допомогою H -матриці. Для цього представимо колонки H -матриці в виді многочленів від x ступені $(r - 1)$, окрім того одиничному елементу колонки, що належить першому

нижньому рядку матриці, відповідає x^0 , а одиничному елементу останнього верхнього рядка – x^{r-1} . Всі колонки матриці можуть бути отримані, як частки від ділення x^i на твірний многочлен $G(x)$ (i – номер розряду числа мінус l ; $0 \leq i \leq n - 1$).

1.3 Коди для корекції кратних помилок.

Найпростіший циклічний код з $d = 2$ дозволяє виявити одиночні помилки і помилки непарної кратності. Твірний поліном цього коду має вид $x - 1$. Серед незвідних многочленів, що входять в розкладання $x^n + 1$, даний поліном є многочленом найменшого степеня (1-й). Таким чином, при будь-якій кількості інформаційних розрядів необхідний тільки один розряд для перевірки. Значення символу цього розряду забезпечує парність числа одиниць в будь-якій дозволений кодовій інформації. Отриманий циклічний код з перевіркою на парність здатний виявити не тільки одинарні помилки в окремих розрядах, але і помилки в будь-якому непарному числі розрядів [6].

Циклічні коди з мінімальною кодовою відстанню $d = 3$ є різновидом кодів Хеммінга. Ці коди здатні виправити одинарні помилки чи виявити всі одинарні і двійкові помилки. В циклічних кодах Хеммінга перевірочні розряди розміщуються в кінці кодової комбінації. Довжина кодової комбінації обирається з умови (2). Твірний поліномом може бути будь-який незвідний поліном ступеню r . Циклічні коди з $d = 4$ також є різновидом кодів Хеммінга, які будуються на основі твірних поліномів для кодів $d = 3$. Циклічні коди Хеммінга з $d = 4$ мають більшу корегуючу властивість порівнянні з такими ж кодами, однак з $d = 3$, і здатністю виявляти помилки кратності $t_0 = 3$ і менше.

Твірний поліном циклічного коду з $d = 4$ є добутком двочлена $x + 1$ на незвідний поліном, який придатний як твірний для коду з $d = 3$. Довжина кодової комбінації вибирається з умови:

$$n = 2^m - 1,$$

де n – довжина кодової комбінації;

m – число що знаходиться з формули $r = m + 1$.

В загальному випадку многочлени кодів, здатних виправляти одинарні, подвійні, потрійні і т. д. помилки, можна виявити, базуючись на наступній вказівці Хеммінга [1, 2]:

1. По заданому k визначаємо число перевірочних розрядів $n - k$, необхідно для виправлення однієї помилки, і будуємо (n, k) – код;

2. Розглядаючи (n, k) - код як некорегуючий n – розрядний код, знаходимо $n_1 - n$ додаткових розрядів для забезпечення виправлення однієї помилки в цьому коді та будуємо код (n_1, n) .

3. Повторюючи дану процедуру t разів, можна отримати код, що виправляє незалежні помилки кратності до t включно.

Тим не менш, код побудований наведеним вище способом, виявляється неоптимальним з точки зору кількості символів для перевірки за заданого k .

Твірний поліном для кодів БЧХ визначається за заданою кодовою відстанню і довжині кодової комбінації [2]. Довжина кодової комбінації знаходиться з виразу:

$$n = 2^m - 1, \tag{3}$$

де m – будь яке число. Таким чином, величина n може дорівнювати 3, 7, 15, 31, 63, 127, 255, 511, 1023 розрядами і т. д.

Кількість розрядів у коді для перевірки:

$$r \leq \frac{m(d-1)}{2}.$$

Відповідно, кількість інформаційних розрядів:

$$k \geq (2^m - 1) - \frac{m(d-1)}{2}.$$

Твірний поліном коду БЧХ є найменшим спільним кратним (НСК) мінімальних поліномів $m_i(x)$, де $i = 1, 3, 5 \dots, d - 2$ – порядок поліному

$$P(x) = НСК\{m_1(x) \cdot m_3(x) \cdot \dots \cdot m_{d-2}(x)\}.$$

Для знаходження твірного полінома коду довжиною розрядів знайденою за формулою (3) з кодовою відстанню d необхідно виписати з таблиці 1.1 всі значення мінімальних поліномів, що відповідають заданому m , до порядку $d - 2$ включно [1]. Якщо даний порядок в таблиці відсутній, треба взяти найближчий найменший.

Кодам БЧХ властиві непарні значення мінімальної кодової відстані d . За бажання кодову відстань можна збільшити на одиницю, використавши твірний поліном, що дорівнює добутку твірного полінома коду БЧХ на двочлен $(x + 1)$.

Такий спосіб збільшення мінімальної кодової відстані можна застосувати до будь-яких систематичних кодів з непарною мінімальною кодовою відстанню. Для цього в циклічних кодах змінюється твірний поліном, а в інших систематичних кодах вводиться додаткова перевірка на парність, що охоплює всі інформаційні розряди [7]. Найвідомішим циклічним кодом, що виправляє одиночні пакети помилок – це двійковий код Файра, для цього необхідно невелика кількість символів для перевірки.

					ІАЛЦ.467200.004 ПЗ	Арк.
						11
Змін.	Арк.	№ докум.	Підпис	Дата		

Таблиця 1.1 – Обчислені значення мінімальних поліномів для степенів

$$m = 2 \div 10$$

Порядок полінома <i>i</i>	Мінімальні поліноми для визначення степені <i>m</i>								
	2	3	4	5	6	7	8	9	10
1	7	13	23	45	103	211	435	1021	2011
3	-	-	37	75	127	217	567	1131	2017
5	-	-	07	67	147	235	763	1461	2415
7	-	-	-	-	111	367	551	1231	3771
9	-	-	-	-	015	277	675	1423	2257
11	-	-	-	-	155	325	747	1055	2065
13	-	-	-	-	-	203	453	1167	2157
15	-	-	-	-	-	-	727	1541	2653
17	-	-	-	-	-	-	023	1333	3515
19	-	-	-	-	-	313	545	1605	2773
21	-	-	-	-	007	345	613	1027	3753
23	-	-	-	-	-	-	543	1751	2033
25	-	-	-	-	-	-	433	1743	2443
27	-	-	-	-	-	-	477	1617	3573
29	-	-	-	-	-	-	-	1553	2461
31	-	-	-	-	-	-	-	-	3043
33	-	-	-	-	-	-	-	-	0075
35	-	-	-	-	-	-	-	1401	3023
37	-	-	-	-	-	-	537	1157	3543
39	-	-	-	-	-	-	-	1715	2107
41	-	-	-	-	-	-	-	1563	2745
43	-	-	-	-	-	-	703	1713	2431
45	-	-	-	-	-	-	471	1175	3061
47	-	-	-	-	-	-	-	-	3177

Змін.	Арк.	№ докум.	Підпис	Дата

ІАЛЦ.467200.004 ПЗ

Арк.

12

Продовження таблиці 1.1

Порядок полінома i	Мінімальні поліноми для визначення степені m								
	2	3	4	5	6	7	8	9	10
49	-	-	-	-	-	-	-	-	3525
51	-	-	-	-	-	-	037	1725	2545
53	-	-	-	-	-	-	-	1225	2617
55	-	-	-	-	-	-	-	1275	3453
57	-	-	-	-	-	-	-	-	3121

Твірний поліном даного коду

$$P(x) = q(x) \cdot (x^c + 1),$$

де $q(x)$ – незвідний многочлен ступені t приналежної степені m ;

c – просте число, яке не ділиться на m без остачі [1].

Довжина коду Файра дорівнює найменшому спільному кратному чисел c та m , тобто $n = НСК(c, m)$. Число символів для перевірки $r = c + t$. Число інформаційних символів $k = n - c - t$.

Можна отримати код меншої довжини з тим самим числом символів для перевірки, якщо користуватися методом отримання скорочених циклічних кодів. При використанні кодів Файра можна виправити будь-яку одинарний пакет помилок довжини b або менше та одночасно виявити будь-який пакет помилок довжини $l \geq b$, якщо $c \geq b + l - 1$ та $t \geq b$.

Якщо використовувати ці коди лише для виявлення помилок, можна знайти будь-яку комбінацію з двох пакетів помилок, довжина найменшої з яких не перевищує t , а сума довжин обох пакетів не перевищує $c + 1$, а також будь-який одинарний пакет помилок з довжиною, що не перевищує число символів для перевірки $r = c + t$.

Відомі коди, що потребують меншу кількість символів для перевірки, ніж коди Файра. До них відносяться коди Абрамсона. Довжина кодової комбінації кодів Абрамсона:

$$n = 2^h - 1,$$

де h - степінь незвідного многочлена $P_1(x)$.

Твірний поліном $P(x) = (1 + x)P_1(x)$. Кількість інформаційних символів $k = 2^h - h - 2$.

Ці вирази справедливі для мінімальної кодової відстані $d = 4$, що дозволяє корегувати всі одиночні і всі суміжні подвійні помилки.

Для виявлення і виправлення помилок до інформаційних слів перед їх занесенням в ЗП додають контрольні розряди. Кількість контрольних розрядів залежить від кількості інформаційних розрядів, а також від виду та кратності помилок, що знаходяться та виправляються. Коди, що мають властивість знаходити і виправляти виникаючі в кодових комбінаціях помилки, називаються корегуючими.

У ЗП широке використання отримали двійкові блокові коди, лінійні та циклічні, в яких до блоку з k інформаційних розрядів додаються r контрольних (далі називаються просто лінійними і циклічними кодами).

У блокових кодах кодові слова представляють собою послідовність кінцевої довжини з n розрядів, також нерідко названою блоком ($n = k + r$). В двійкових блокових кодах кожний розряд кодового слова може приймати одне з двох значень: 1 або 0.

У ЗП, відмови в яких призводять до виникнення незалежних помилок в розрядах слів, помилка кратності 1пом змінює значення 1пом розрядів. Через це для виявлення помилок такої кратності необхідно та достатньо, щоб будь-які дві дозволені комбінації мали відстань не менше, ніж 1пом +1. У цьому випадку помилка кратності не більше 1пом буде призводити до виникненню

забороненої кодової комбінації. Слід відмітити, що можливе виявлення помилок більшої кратності, якщо вони переведуть дозволену кодову комбінацію в заборонену, наприклад при $d = 2$, $l_{\text{пом}} = 1, 3, 5, 7, \dots$

Для виправлення помилок кратності $l_{\text{пом}}$ збитковість коду має бути більше, ніж при їх виявленні. Якщо допустити, що вірогідність помилки кратності $l_{\text{пом}}$ більше вірогідності помилки кратності $l_{\text{пом}}+1$, то для виправлення всіх помилок з кратністю до $l_{\text{пом}}$ включно необхідно і достатньо, щоб:

$$d \geq 2 \cdot l_{\text{пом}} + 1.$$

У цьому випадку при отриманні забороненого кодового слова приймається рішення, що в ЗП було записане одне з дозволених слів, відстань Хеммінга якого до ліченого слова не перевищує значення $\frac{d-1}{2}$.

Для кодів, що виправляють пакетні помилки, отримані наступні теоретичні обмеження [3, 4]:

- якщо розрядність пакетної помилки дорівнює b , то для її виявлення необхідно не менше b контрольних розрядів, а для виправлення одинарного пакета помилок необхідно не менше $2b$ контрольних розрядів.
- код, що виправляє одинарні та виявляє подвійні пакети помилок, потребує не менше $3b$ контрольних розрядів.

Найбільше розповсюдження в пристроях пам'яті отримали наступні корегуючі коди:

- коди Хеммінга, що виправляють одинарні та виявляють двійкові незалежні помилки;
- коди, що виправляють одинарні і виявляють двійкові і пакетні помилки;

- БЧХ коди, що виправляють подвійні та виявляють потрібні незалежні помилки;
- коди Ріда-Соломона, що виправляють одинарні та виявляють подвійні пакетні помилки;
- коди Файра, що виявляють і виправляють одиночні пакети помилок.

Розгляду цих кодів та їх модифікації посвячена ця частина.

Для опису властивостей і можливостей кожного коду використовують перевірочні H -матриці. H -матриця лінійного коду містить r рядків та n стовпців. Кожному стовпцю матриці ставиться у відповідність один розряд n – розрядного слова. Кожний рядок H -матриці містить одиниці в позиціях, що відповідають інформаційним розрядам слова, значення котрих додається для отримання відповідного контрольного розряду. Для обчислення контрольного розряду відповідний йому стовпець H -матриці повинен містити одиницю в рядку, що розглядається, і нулі в інших позиціях. H -матриця для коду $(n, k) = (31, 26)$, що виправляє одиночні незалежні помилки, має наступний вигляд:

$$H = H'_{5,26} | I_5 = \begin{array}{cccc|cccc} 0000000000 & 0111111111 & 111111 & & 10000 & & & \\ 0000111111 & 1000000011 & 111111 & & 01000 & & & \\ 0111000111 & 1000111100 & 001111 & & 00100 & & & \\ 1011011001 & 1011001100 & 110011 & - & 00010 & & & \\ 1101101010 & 1101010101 & 010101 & - & 00001 & & & \\ U_1 & & U_{26} & & C_5 & C_1 & & \end{array}$$

Коди Ріда-Соломона (РС) маю велику корегуючу властивість і дозволяють виправити декілька пакетів помилок [1]. Для побудови коду РС необхідно задати корегуючий код з основою $m > 2$, в комбінаціях якого можна виправити помилки кратності t_u і кожному символу цього коду поставлена у взаємоднозначне відношення деяка n_1 -значна двійкова комбінація, то такий двійковий код може виправляти пакети помилок

довжиною $b = n_1 - (t_u - 1) + 1$ і менше. Код з вказаними властивостями існує, якщо основа $m = 2^a$, довжина $n = a(2^a - 1)$, а твірний поліном:

$$P(x) = (x - \alpha_1) \cdot (x - \alpha_2) \cdot \dots \cdot (x - \alpha_{a-1})$$

де α – примітивний елемент поля $GF(2^a)$.

1.4 Пристрої виявлення та виправлення помилок.

Високі вимоги до надійності ЗП наряду з іншими способами підвищення надійності обумовили використання в них корегуючих кодів, дозволяючи забезпечити працездатність ЗП при виникненні збоїв і відказів складових елементів. В ЗП, що виконані на однорозрядних МП, відмова однієї МП призводить до однорозрядних помилок в лічених словах. Вірогідність появи двократних помилок, викликаних відмовами двох МП за однією адресою, значно менше вірогідності появи одинарних помилок, а вірогідність трикратних помилок – менше, ніж двократних і т. д. Через це в таких ЗП виправлення однорозрядних та виявлення дворозрядних помилок суттєво підвищує надійність. Для виявлення відмов елементів електроніки об'ємного об'єму, що призводять до пакетних помилок з розрядністю, більше двох, використовуються коди, що виправляють однорозрядні та виявляють дворозрядні та пакетні помилки. При високих вимогах до надійності ЗП особливо великої інформаційної ємності застосовують корегуючі коди, що виправляють дворозрядні помилки [6, 7].

Об'єм устаткування пристроїв кодування та декодування навіть для найпростіших корегуючих кодів, що виправляють однорозрядні помилки, складає декілька десятків корпусів при використанні мікросхем малої та

середньої степені інтеграції. Прагнення розробників ЗП зменшити апаратні затрати на реалізацію пристроїв корекції помилок і великий об'єм випуску ЗП обумовили створення ВІС або пристроїв знаходження та виправлення помилок (ПЗВП) [5][11]. Технічні характеристики ПЗВП, що випускаються закордонними фірмами, показані в таблиці 1.2. ПЗВП призначені для виправлення однократних і виявлення двократних помилок в ЗП з довільною вибіркою (ОЗП). В них використовують код Хеммінга з мінімальною кодовою відстанню $d = 4$. Мікросхема *DP8400* фірми National Semiconductor забезпечує також виправлення дворозрядних помилок (дві постійні помилки чи одна постійна та одна випадкова) методом подвійного інвертування.

ВІС ПЗВП повинна задовольняти наступним основним вимогам:

1. Можлива більша кількість помилок, що знаходяться та виправляються при можливій меншій кількості додаткових розрядів для перевірки, висока швидкодія та невисока складність самої ВІС ПЗВП.
2. Забезпечення роботи систем з ПЗВП у різних режимах контролю пам'яті (апаратно-програмному, апаратному, прямому пропусканні без корекції помилок, діагностичному, побайтового запису інформації).
3. Робота з різними форматами довжин слів шляхом нарощування кількості ВІС ПЗВП (секцій) при збільшенні довжини слова, що оброблюється, поверх тієї що використовується в ВІС ПЗВП і при можливості без залучення додаткових мікросхем малого та середнього ступеню інтеграції.

Аналіз форматів довжин даних, що оброблюються, в обчислювальних та керуючих системах за допомогою ПЗВП, а також кількісних характеристик підвищення надійності в різних режимах контролю пам'яті демонструє, що в найбільшій мірі цим вимогам задовольняють 16-розрядні секції ВІС ПЗВП з можливістю нарощування до 80 розрядів при корекції однократних помилок. Збільшення кратності помилок, що виправляються, більше двох навряд чи доцільно через суттєвого ускладнення схем і зниження швидкодії. При цьому ВІС ПЗВП повинна мати виходи під

					ІАЛЦ.467200.004 ПЗ	Арк.
						18
Змін.	Арк.	№ докум.	Підпис	Дата		

прапорці помилок (відбулася однократна чи багатократна помилка), під розряди синдрому (що в свою чергу дозволяє нарощувати секції ПЗВП, а також збільшує функціональні можливості систем корекції помилок), під виходи вказівки режиму роботи та формату слова, що обробляється.

Таблиця 1.2 – Характеристика та виробники мікросхем пристроїв виявлення та виправлення помилок

Фірма, країна-виробник	тип мікросхеми					тривалість затримки, нс			
		код	розрядність	можливість збільш.розрядності	напруга живлення,В	при записі	при зчитуванні	технологія виготовлення	тип корпусу, кількість виходів
Texas Instruments,США	SN54/74LS630(631)	22,16	16	-	5	35	45	ТТЛШ	DIP,28
	SN54/74LS632(633)	39,32	32(8*4)	-	5	37	41	ТТЛШ	DIP,52
	SN54/74LS634(635)	39,32	32	-	5	37	41	ТТЛШ	DIP,48
	SN54/74LS636(637)	13,8	8	-	5	27	45	ТТЛШ	DIP,20
Motorola,США	MC10905	22,16	16	*	5,2	10,7	27,9	ЕСЛ	МК68
	MC34040	22,16	16	*	5	50	80	ТТЛШ	DIP,48
	MC4041	7,4	4		5			ТТЛ	DIP,20
Fairchild,США	74418	39,32	32		5			ТТЛ	DIP,48
Advanced Micro Devison,США	Am 2960	22,16	16		5			ТТЛШ ЕСЛ	DIP,48
Siemens,ФРН	Masterslice	72,64	64		-4,5	22		ЕСЛ	Pinpoch,64 або Jedes,68
Fujitsu,Японія	MB 14112A		8		5	45	47	ТТЛШ	DIP,64
Intel,США	8206	22,16	16		5	52	65	п-МОЛ	DIPM,68
National Semiconductor, США	DP 8400	22,16	16		5	20	30	ТТЛШ	DIP,48

Змін.	Арк.	№ докум.	Підпис	Дата

ІАЛЦ.467200.004 ПЗ

Арк.

19

2 РОЗРОБКА ПЗВП З КОДОМ БЧХ

Ефективним засобом належного збереження інформації в блоках пам'яті на однорозрядних МП є використання кодів для корекції незалежних кратних помилок. Такі коди дозволяють знаходити і виправляти помилки, що виникають в результаті викривлення деяких розрядів кодового слова [2, 8].

2.1 Побудова коду.

Виправлення всіх дворозрядних і виявлення трирозрядних помилок забезпечують коди БЧХ з мінімальною кодовою відстанню $d = 6$. Ці коди являють собою узагальненням кодів Хеммінга на випадок виправлення декількох помилок.

Розглянемо побудову кодів БЧХ з мінімальною кодовою відстанню $d = 5$, що розрахована на виправлення дворозрядних помилок. На відміну від кодів Хеммінга з $d = 3$, коди БЧХ містять в собі в два рази більше контрольних розрядів. Твірний многочлен БЧХ виглядає наступним чином:

$$G(x) = G_1(x) \cdot G_3(x),$$

де $G_1(x), G_3(x)$ – незвідні многочлени, які вибираються таким чином, щоб при однорозрядній помилці синдром S_3 , що відповідає остачі від ділення цільового слова на $G_3(x)$, дорівнював S^3_1 , відповідній остачі від ділення цільового слова на $G_1(x)$.

					ІАЛЦ.467200.004 ПЗ	Арк.
						20
Змін.	Арк.	№ докум.	Підпис	Дата		

Тоді при наявності дворозрядної помилки в слові:

$$S_{1i} + S_{1j} = S_1,$$

$$S_{3i} + S_{3j} = S_3,$$

де S_{1i} , S_{1j} , S_{3i} , S_{3j} – синдроми, що відповідають одинарним помилкам в i -ому та j -ому розрядах по модулю $G_1(x)$ та $G_3(x)$ відповідно. Таким чином підставляючи значення S^3_{1i} , S^3_{1j} , замість S_{3i} , S_{3j} відповідно, отримаємо:

$$S_{1i} + S_{1j} = S_1,$$

$$S^3_{1i} + S^3_{1j} = S_3$$

Для знаходження номера кожного з двох помилкових розрядів треба визначити синдроми, які в свою чергу знаходяться зі системи двох рівнянь з двома невідомими, що згадана вище. При виникненні однократної помилки $S^3_1 = S_3$, значення положення розряду що містить в собі помилку визначається значенням S_1 .

Значення твірних многочленів для кодів БЧХ, придатних до використання в ЗП, наведені в Таблиці 2.1[1, 2].

Таблиця 2.1 – Значення твірних многочленів коду БЧХ з $d = 5$ для різної кількості контрольних розрядів

Число контрольних розрядів	Твірний многочлен коду БЧХ з $d = 5$
8	$(X^3 + X + 1)(X^4 + X^3 + X^2 + X + 1)$
10	$(X^5 + X^2 + 1)(X^5 + X^4 + X^3 + X^2 + 1)$
12	$(X^6 + X + 1)(X^6 + X^4 + X^2 + X + 1)$
14	$(X^7 + X^3 + 1)(X^7 + X^3 + X^2 + X + 1)$
16	$(X^8 + X^4 + X^3 + X^2 + 1)(X^8 + X^6 + X^5 + X^4 + X^2 + X + 1)$
18	$(X^9 + X^4 + 1)(X^9 + X^6 + X^4 + X^3 + 1)$
20	$(X^{10} + X^3 + 1)(X^{10} + X^3 + X^2 + X + 1)$

Стовбці H -матриці коду БЧХ являють собою частки від ділення X^i ($0 \leq i \leq n - 1$) на твірний многочлен $G(x)$. Якщо число контрольних розрядів коду БЧХ з $d = 5$ дорівнює r , то довжина коду дорівнює:

$$n = 2^{r/2} - 1,$$

де r – парне число.

Коди БЧХ з мінімальною кодовою відстанню $d = 6$ дозволяють виправляти однорозрядні, дворозрядні і виявляти трирозрядні помилки, і формуються шляхом додавання до коду БЧХ з $d = 5$ одного розряду перевірки. Окрім того, до H -матриці коду з $d = 5$ додається нульова колонка, після цього додається рядок, елемент якого дорівнює 1, якщо він належить колонці початкової матриці з парною кількістю одиниць, і дорівнює 0, якщо колонка початкової матриці містить непарну кількість одиниць. Число одиниць в будь-якій з колонок отриманої H -матриці є непарною, тому однорозрядній помилці відповідає синдром з непарною кількістю одиниць, що дорівнює одній з колонок H -матриці. Дворозрядній помилці відповідає синдром з парною кількістю одиниць, що дорівнює сумі по модулю два двох колонок H -матриці, що відповідають невірним розрядам. Трирозрядній помилці відповідає синдром з непарною кількістю одиниць, що не дорівнює жодному з колонок H -матриці.

В ЗП з байтовою організацією використовуються скорочені коди. H -матриця таких кодів має меншу кількість колонок, що відповідають інформаційним розрядам. Найкращим способом отримання H -матриці скороченого коду з H -матриці повного коду є видалення колонок, що мають максимальну кількість одиниць. Колонки матриці, які мають лише по одній одиниці, відповідають контрольним розрядам.

H -матриця скороченого коду БЧХ (144,128), колонки якої, являють собою частки від ділення на твірний многочлен

					ІАЛЦ.467200.004 ПЗ	Арк.
						22
Змін.	Арк.	№ докум.	Підпис	Дата		

$G(x) = (X^8 + X^4 + X^3 + X^2 + 1)(X^8 + X^6 + X^5 + X^4 + X^2 + X + 1)$, в
шістнадцятковому представленні має вигляд наведений в Таблиці 2.2.

Таблиця 2.2 – Повна H-матриця скороченого коду БЧХ (144,128)

0 0 0 1	A B E 4 9 2 0 0 A F 3 C 3 7 A D 9 1 0 1 8 9 E A 7 2 9 D 0 9 A F
0 0 0 2	F C 2 0 8 4 C A A 8 2 F C B A E 9 2 C D E 0 0 1 8 3 0 1 8 0 9 5
0 0 0 4	5 7 2 0 9 3 C A 0 4 B 2 8 5 D 0 3 8 5 F 9 1 F E 6 2 9 2 0 1 A D
0 0 0 8	A E 4 1 C 7 9 F 3 8 5 9 9 D F 6 0 9 1 8 A 3 E C C 5 2 4 0 3 5 A
0 0 1 0	E 7 3 0 5 9 8 3 1 D 0 5 A C 4 0 1 2 7 5 4 9 B 9 A 6 F F 2 7 B 1
0 0 2 0	6 7 A C 1 4 5 9 F 9 0 8 4 3 0 0 4 A F 9 3 7 B 7 2 C B 8 2 0 0 A
0 0 4 0	D E 5 8 2 8 B 3 F 3 F 2 1 0 8 6 6 0 1 5 F 2 6 F 5 9 7 0 4 0 1 4
0 0 8 0	8 8 1 B 8 A 9 0 F F 9 4 0 0 A 7 B 8 E 9 1 E 9 0 A 0 1 8 3 8 C 1
0 1 0 0	3 7 A 0 0 A F 3 C D 9 1 0 1 8 9 9 D 0 9 A F E 2 9 A 7 2 0 0 1 9
0 2 0 0	A 8 2 F C F 0 8 4 C A B 1 8 0 9 5 A E 9 2 C D E 0 0 1 8 3 0 8 3
0 4 0 0	3 C A 0 4 B 2 8 5 7 2 0 5 D 2 0 1 A D 0 7 3 8 5 F 9 2 9 1 F E 6
0 8 0 0	F 3 8 5 A E 4 1 C 7 9 9 9 D F 6 0 9 5 2 4 0 3 5 A C 0 9 6 F 6 E
1 0 0 0	0 5 9 D 0 5 8 3 1 E 7 3 A C 4 0 1 2 7 6 F F 2 7 B 1 5 4 9 B 9 A
2 0 0 0	2 0 0 6 7 4 5 9 F 9 0 A C 1 8 4 3 0 0 4 A F 9 3 7 A B 7 2 C B 8
4 0 0 0	D E 5 8 2 8 B 3 F 3 F 2 1 0 8 6 6 0 1 5 F 2 6 F 5 9 7 0 4 0 1 4
8 0 0 0	8 8 1 B 8 A 9 0 F F 9 4 0 0 A 7 B 8 E 9 1 E 9 0 A 0 1 8 3 8 C 1

В пристрої використовується модифікований код БЧХ (145,128), побудований за вище описаним алгоритмом. Безпосередньо для формування слова з контрольних розрядів в моделі пристрою використовується перевірна H-матриці, в якій відкинуті всі стовпці які відповідають за контрольні розряди, в шістнадцятковому вигляді вона зображена в таблиці 2.3.

Таблиця 2.3 – Перевірочна Н-матриця коду БЧХ (145,128)

A	B	E	4	9	2	0	0	A	F	3	C	3	7	A	D	9	1	0	1	8	9	E	A	7	2	9	D	0	9	A	F
F	C	2	0	8	4	C	A	A	8	2	F	C	B	A	E	9	2	C	D	E	0	0	1	8	3	0	1	8	0	9	5
5	7	2	0	9	3	C	A	0	4	B	2	8	5	D	0	3	8	5	F	9	1	F	E	6	2	9	2	0	1	A	D
A	E	4	1	C	7	9	F	3	8	5	9	9	D	F	6	0	9	1	8	A	3	E	C	C	5	2	4	0	3	5	A
E	7	3	0	5	9	8	3	1	D	0	5	A	C	4	0	1	2	7	5	4	9	B	9	A	6	F	F	2	7	B	1
6	7	A	C	1	4	5	9	F	9	0	8	4	3	0	0	4	A	F	9	3	7	B	7	2	C	B	8	2	0	0	A
D	E	5	8	2	8	B	3	F	3	F	2	1	0	8	6	6	0	1	5	F	2	6	F	5	9	7	0	4	0	1	4
8	8	1	B	8	A	9	0	F	F	9	4	0	0	A	7	B	8	E	9	1	E	9	0	A	0	1	8	3	8	C	1
3	7	A	0	0	A	F	3	C	D	9	1	0	1	8	9	9	D	0	9	A	F	E	2	9	A	7	2	0	0	1	9
A	8	2	F	C	F	0	8	4	C	A	B	1	8	0	9	5	A	E	9	2	C	D	E	0	0	1	8	3	0	8	3
3	C	A	0	4	B	2	8	5	7	2	0	5	D	2	0	1	A	D	0	7	3	8	5	F	9	2	9	1	F	E	6
F	3	8	5	A	E	4	1	C	7	9	9	9	D	F	6	0	9	5	2	4	0	3	5	A	C	0	9	6	F	6	E
0	5	9	D	0	5	8	3	1	E	7	3	A	C	4	0	1	2	7	6	F	F	2	7	B	1	5	4	9	B	9	A
2	0	0	6	7	4	5	9	F	9	0	A	C	1	8	4	3	0	0	4	A	F	9	3	7	A	B	7	2	C	B	8
D	E	5	8	2	8	B	3	F	3	F	2	1	0	8	6	6	0	1	5	F	2	6	F	5	9	7	0	4	0	1	4
8	8	1	B	8	A	9	0	F	F	9	4	0	0	A	7	B	8	E	9	1	E	9	0	A	0	1	8	3	8	C	1
A	4	F	7	A	1	F	2	D	6	F	0	4	0	0	8	6	3	E	8	3	A	3	0	2	7	3	B	8	4	B	9

2.2 Алгоритм декодування і корекції помилок. Метод подвійного інвертування

Під час читання інформації з ЗП, і нових контрольних розрядів, що сформовані в БК синдром складається з частин S_1 та S_2 ($S = S_1 : S_2$), кожна довжиною m розрядів. Після цього код першої частини синдрому перемножуються на елементи T_i матриці $H(j = \overline{1, k})$ тобто $S_{ij} = T_j S_1$. виконується аналіз можливих результатів декодування:

- якщо $S = 0$, то помилок немає;
- якщо $S_1 = 0$, а $S_2 \neq 0$, це означає що відбулася помилка в контрольній групі C_2 , величина помилки S_2 ;
- якщо $S_1 \neq 0$, а $S_2 = 0$, то відбулася помилка в контрольній групі C_1 , величина помилки дорівнює S_1 ;
- якщо $S_1 \neq 0$, та $S_2 \neq 0$, при цьому $S_2 = S_{ij}$, відповідно відбулася помилка в j -ій інформаційній групі ($j = \overline{1, k}$), величина помилки дорівнює S_1 .

Виправлення помилок відбувається шляхом порозрядного складання по модулю два m - розрядного двійкового коду викривленої групи з двійковим m - розрядним кодом величини помилки. Причому, якщо $S_1 \neq 0$, $S_2 \neq 0$, а $S_2 \neq S_{ij}$ j -ій ($j = \overline{1, k}$), то відбулася невиправна помилка. Як відомо в ЗП можливі як відмови, так і збої. Помилки через збої випадкові та корегуються при наступному зчитуванні або записі інформації. Зчитане із ЗП слово, що містить помилку, інвертується разом з контрольними розрядами і знову записується в ЗП на ту ж саму адресу. Постійні помилки при цьому виправляються. Після цього відбувається зчитування інверсійного слова, його інвертування та виправлення випадкової помилки якщо вона була. Якщо в розряді слова наявні дві постійні помилки, то ці розряди мають інверсійне значення по відношенню до розрядів раніше записаного слова. Саме через

					ІАЛЦ.467200.004 ПЗ	Арк.
						25
Змін.	Арк.	№ докум.	Підпис	Дата		

вказані вище причини записане за цією адресою інверсійне слово цих помилок не містить. Якщо інвертоване слово зчитати і переінвертувати вдруге, то в результаті отримаємо слово, що не містить помилок.

2.3 Структурна схема використання пристроїв.

В додатку А на структурній схемі наведені два способи застосування ПЗВП в обчислювальній системі. Перший спосіб встановлення ПЗВП (EDAC) передбачає безпосереднє встановлення в загальну шину даних в розрив шини даних, що пересилаються в або з ЗП (RAM). В цьому випадку ПЗВП завжди контролює помилки ЗП, що в свою чергу додає певну затримку в цикл звернення до пам'яті. В другому випадку, ПЗВП працює паралельно ЗП, але в момент виявлення помилки призупиняє його роботу, і йде цикл виправлення помилки. Такий режим дозволяє прискорити роботу ЗП, але може призвести до розповсюдженню помилки в ОС. Структурна схема ПЗВП містить блок кодування (DCU), що визначає контрольні розряди СО, блок формування синдрому (SGU) – обчислює розряди синдрому помилки на основі підрахованих в пам'яті та нових, що були обчислені в DCU. В блоці корекції відбувається виправлення помилок на основі синдрому.

2.4 Функціональна схема пристрою.

На функціональній схемі (Додаток Б) прийняті такі скорочення:

- CU – блок керування;
- CEU – блок корегування;
- CBG – блок кодування;

					ІАЛЦ.467200.004 ПЗ	Арк.
						26
Змін.	Арк.	№ докум.	Підпис	Дата		

- FEAG – формувач адреси першої помилки;
- SEAG – формувач адреси другої помилки;
- FED – дешифратор першої помилки;
- SED – дешифратор другої помилки;
- SG – блок формування синдрому;
- IOB – буфер введення/виведення.

Для ініціалізації пристрою на вхід CE блоку CU подається сигнал початку операції. ПЗВП функціонує в одному з двох режимів:

1. Режим «Запис» ($R_d = 0$);
2. Режим «Зчитування» ($R_d = 1$).

Наявність сигналу «Запис» на вході CU ($R_d = 0$) визначає режим запису. Слова які необхідно записати з шини даних (DB) надходять в CBG, де кодуються в відповідності з породжуючою матрицею коду що застосовується. За сигналом $M = 1$ CU і у відповідності з керуючими сигналами CE («Ініціалізація накопичувача») та $R_d = 0$ («Режим роботи накопичувача» – «Запис») закодоване слово видається на DB.

В свою чергу подача на вхід R/W сигналу «Зчитування» ($R_d = 1$) визначає режим читання і за відповідними сигналами CE, R_d та DS зчитане з пам'яті слово передається з DB в блоки SG та CEU. Значення S синдрому та розряду S_0 є безпосереднім результатом роботи SG. Значення S_0 подається на вхід S_0 блоку CU. Значення S подається на вхід блоку FEAG, а його молодші розряди на вхід S блоку SEAG. Зчитаний за адресою S локатор першого викривленого розряду подається в SEAG, де обчислюється значення локатора другого викривленого розряду. Отримані значення розрядів B_i та B_j дешифруються блоками FED та SED. При цьому значення сигналів на нульових виходах NE та виході DE блоків FED та SED подаються на відповідні входи блоку CU.

За умови, що зчитане слово не містить помилки (тобто $S_0 = E_r = 0$, $SED = FED = 1$), тоді за сигналом DS вміст CEU подається на шину даних DB.

Якщо зчитане слово містить помилку, що можна виправити (однократну або двократну) в будь-якому розряді, то у відповідності зі значення локатора викривленого розряду, зчитаного з FEAG в CEU відбувається корегування одного або двох розрядів зчитаного слова. Опісля цього за сигналом DS вміст CEU подається на шину даних DB.

За умови, що в зчитаному слові наявна невіправна помилка високої кратності ($E_r = 1$), яку можна виявити, то CU видає на вихід ME сигнал невіправної багатократної помилки (див. умови U4 з Таблиці 2.4).

Таблиця 2.4 – Визначення логічних умов та комбінацій сигналів що їм відповідають

S0	Er	FED	SED	Прийняте рішення	Умова
0	0	1	1	Помилка відсутня	U0
0	0	0	1	Однократна помилка, окрім C0	U1
1	0	0	1	Однократна помилка з помилкою в C0	U2
1	0	1	1	Помилка в C0	
0	0	0	0	Двохкратна помилка	U3
x	1	0	x	Багатократна помилка, що може бути виявлена	U4
Інші				Несправність декодера	U5

Окрім того, якщо в процесі декодування інформація на входи блоку подається код, що відсутній в Таблиці 1.2, (тобто виконується логічна умова U5), на вихід DE подається сигнал «Несправність декодера».

Алгоритм роботи пристрою наведений в Додатку В, де умови U1 – U5 відповідають комбінаціям, що наведені в Таблиці 1.2.

Помилки при зчитуванні інформації з накопичувача будуть виправленні, коли в одному з слів R1 або R2 кратність помилки не перевищує

2, а в іншому – не перевищує 3, тобто:

$$S + p \leq 2,$$

$$S + z - p \leq 3, \text{ тоді}$$

$$2S + z \leq 5$$

Таким чином, використання корегуючого коду, що має здатність виправляти двократні та виявляти трикратні помилки, у відповідності з наведеним алгоритмом, який використовується в пристрої що переглядається, дозволяє виправляти помилки кратності $x + y$ та менше, де x, y – цілі додатні рішення рівняння

$$2x + y = 5 \quad (4),$$

якщо збоями викликано не більше x помилок. Рішення цього рівняння наведені в Таблиці 2.5.

Таблиця 2.5 – Рішення рівняння (4) та тлумачення цих розв’язків

x	y	Кратність помилки що корегується	Вид помилки	
			Кількість збоїв	Кількість відмов
0	5	5	–	5
1	3	4	1	3
2	1	3	2	1

Таким чином, запропонований пристрій дозволив, окрім однократних та двократних помилок, корегувати:

- трикратні, за умови що збоями викликано не більше двох помилок;
- чотирикратні, за умови що збоями викликано не більше 1 помилки;
- п’ятикратні, за умови що викликані лише відмовами.

Отже пристрій що пропонується, у порівнянні з прототипом має більш високі корегуючі властивості.

3. ОПИС МОДЕЛІ

Під час виконання дипломного проєкту було прийняте рішення змодельовати розроблений ПЗВП. Для реалізації цієї задачі було вирішено скористатися програмним забезпеченням Active-HDL та вести розробку моделі пристрою використовуючи мову опису апаратури інтегральних схем VHDL [9]. Даний вибір був зроблений через те, що саме мова проєктування VHDL є базовою мовою при розробці апаратури сучасних обчислювальних систем. У розробці моделі заданого ПЗВП використовувалася стандарт IEEE 1164 та бібліотека STD_LOGIC_1164.vhdl [10].

2.4 Структура моделі.

Створена модель ПЗВП включає в себе такі файли:

- CodeBlockGenerator.vhd (CBG);
- ControlUnit.vhd (CU);
- CorrectErrorUnit.vhd (CEU);
- FirstErrorAddressGenerator.vhd (FEAG);
- FirstErrorDecryptor.vhd (FED);
- InputOutputBlockCheck.vhd (IOB2);
- InputOutputBlockData.vhd (IOB1);
- SecondErrorAddressGenerator.vhd (SEAG);
- SecondErrorDecryptor.vhd (SED);
- SyndromeGenerator.vhd (SG);
- Model.vhd.

Кожен з перелічених вище файлів є сутністю в рамках мови VHDL.

					ІАЛЦ.467200.004 ПЗ	Арк.
						30
Змін.	Арк.	№ докум.	Підпис	Дата		

Зокрема, сутності деяких файлів є описом конкретних мікросхем наведених у функціональному описі пристрою, наприклад: CodeBlockGenerator.vhd відповідає блоку CBG, ControlUnit.vhd – CU, CorrectErrorUnit.vhd – CEU, FirstErrorAddressGenerator.vhd – FEAG, FirstErrorDecryptor.vhd – FED, InputOutputBlockCheck.vhd – IOB2, InputOutputBlockData.vhd – IOB1, SecondErrorAddressGenerator.vhd – SEAG, SecondErrorDecryptor.vhd – SED та SyndromeGenerator.vhd – SG. Файл Model.vhd відповідає за пристрій цілком, а саме за поєднання всіх входів та виходів, як це зазначено на функціональній схемі.

3.2 Моделювання роботи пристрою та відпрацювання на тестах.

При створенні моделі ПЗВП було вирішено розбити логічні частини функціонування та виконання частин моделі, з урахуванням розподілу функцій між схемами розробленого пристрою. Таким чином, необхідно було провести тестування коректної роботи кожного компонента змодельованого пристрою окремо.

Для виконання успішного моделювання розробленого пристрою в цілому та його частин безпосередньо необхідно було зауважити, що ключові частини ПЗВП повинні працювати з запропонованою *H*-матрицею таблиця 2.3. Тому було прийнято рішення припустити що наша *H*-матриця повинна знаходитися в постійно запам'ятовувальному пристрої. До цього пристрою повинні мати доступ такі частини моделі, як:

- CodeBlockGenerator.vhd (CBG);
- FirstErrorAddressGenerator.vhd (FEAG);
- SecondErrorAddressGenerator.vhd (SEAG);
- SyndromeGenerator.vhd (SG).

3.2.1 Тестування компонентів моделі

Компонент `CodeBlockGenerator.vhd`, що виконує функції блоку CBG розробленого пристрою, призначений для знаходження синдрому вхідного слова по заданій H -матриці. Кожен рядок H -матриці використовується в вигляді маски, за допомогою якої в відповідний контрольний розряд записується сума по модулю два значень всіх розрядів відфільтрованих за допомогою маски.

В даній моделі входи та виходи за призначенням відповідають входам на мікросхемі CBG:

- DataBlock – DB;
- CheckBlock – CB.

Приклади роботи цієї компоненти можна побачити на Рисунку 3.1, де в якості затримки вибрано 60 нс, а в якості вхідного слова використовувались наступні комбінації:

- $11111111111111111111111111111111_{16}$;
- $11111111111111111111111111111111F_{16}$.

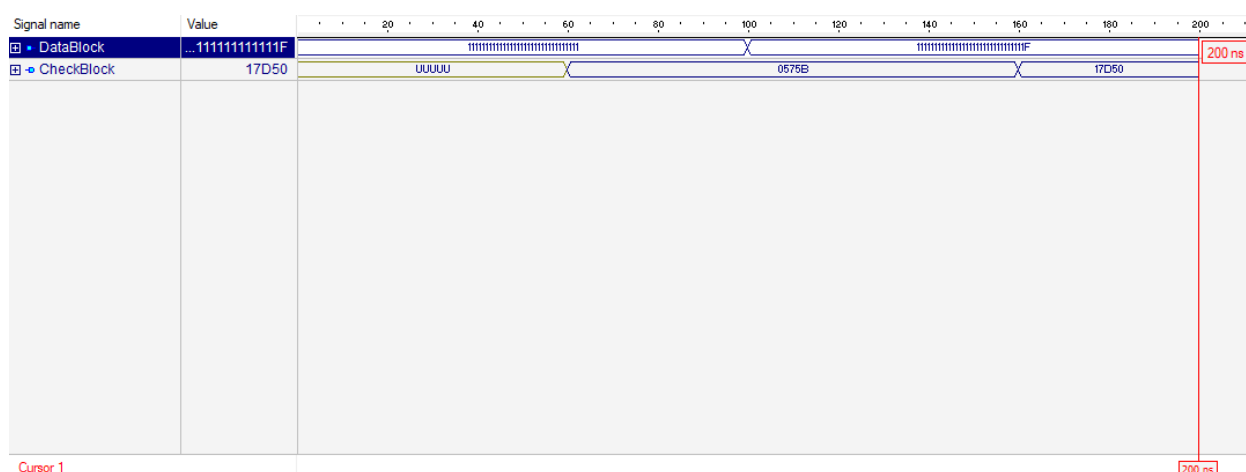


Рисунок 3.1 – Тестова симуляція сутності `CodeBlockGenerator.vhd`

Компонент ControlUnit.vhd, що виконує функції блоку CU ПЗВП, призначений для управління іншими частинами моделі шляхом надсилання керуючих сигналів, а також у разі виникнення будь-якої помилки сповіщення про її наявність та характер.

В даній сутності наявна низка виходів та входів, які за своїм призначенням відповідають входам на мікросхемі CU, зокрема:

- ControlEntity – CE;
- ReadWrite – $R\bar{W}$;
- S0 – S0;
- Error – Err;
- FirstErrorDected – FED;
- SecondErrorDected – SED;
- MS – MS;
- MM – MM;
- MassError – ME;
- DecoderError – DE;
- DataSignal – DS;
- ControlSignal – CS.

Логіку роботи цієї компоненти можна побачити в Таблиці 2.3. На рисунку 3.2 зображено тестову симуляцію і результати. Затримку на пристрої для цього запуску вибрано 20 нс.

Компонент CorrectErrorUnit.vhd, що виконує функції блоку CEU ПЗВП, призначений для корегування помилки, що може бути виправлена даним пристроєм, шляхом побітового сумування вхідної комбінації та поліномів помилок. Поліноми помилок представляють собою кодові слова в яких на місці викривленого розряду стоїть одиниця, а на інших нулі.

Компонент FirstErrorAddressGenerator.vhd, що виконує функції частини FEAG розробленого пристрою, призначений для дешифрування синдрому помилки та знаходження першого викривленого розряду. Значення синдрому помилки аналізуються за алгоритмом зазначеним у другому розділі, а саме:

1. Якщо сума розрядів по модулю два синдрому помилки дає 1, а також якщо синдром відповідає певному стовпцю перевірконої H -матриці, то це свідчить, що в кодовому слові одна помилка, і що викривлений розряд знаходиться на тому ж місці що і рядок.

2. Якщо сума розрядів по модулю два синдрому помилки дає 0, а також якщо синдром відповідає сумі по модулю два двом певним стовпцям перевірконої H -матриці, то це свідчить, що викривлено два розряди, і їх положення відповідає цим двом стовпцям.

3. Якщо сума розрядів по модулю два синдрому помилки дає 1, а також якщо не відповідає жодному стовпцю перевірконої H -матриці це свідчить про те, що в кодовому слові наявна трикратна помилка.

При розробці моделі даної частини було прийнято низку деяких ключових рішень:

1. Так як ми використовуємо 17 перевірочних розрядів саме для виявлення трикратних помилок, було вирішено додати ще один вхід на блок FEAG, через який буде передаватися сімнадцятий розряд синдрому помилки. Що дозволяє використовувати вище описаний алгоритм.

2. Вихід даної частини ПЗВП має розширення в 8 біт, для передачі розряду в якому виникла помилка достатньо всього 7 біт, так як слово з семи біт може набувати $2^7 = 128$ значень, що відповідає розрядності нашого вхідного слова. Додавання ще одного розряду дає надлишковість, однак є оптимальним рішенням, адже через те що саме блок FEAG є основним для оброблення синдрому помилок, виникає необхідність передавати в SEAG й інші кодові комбінації. Було прийнято, що кодова комбінація де найстарший розряд містить «0» – це номер викривленого розряду, інші комбінації мають

наступні значення:

- «10000000» – у вхідному слові немає помилки;
- «10000001» – у вхідному слові є трикратна помилка;
- «11111111» – інша непередбачувана помилка.

В даній компоненті виходи та входи за своїм призначенням відповідають входам на мікросхемі FEAG:

- ParityBit;
- Syndrome2 – S2;
- Syndrome1 – S1;
- Locator – L.

Результати симуляції компоненти на тестових даних можна побачити на рисунку 3.4. Затримку для цієї симуляції вибрано 60 нс.

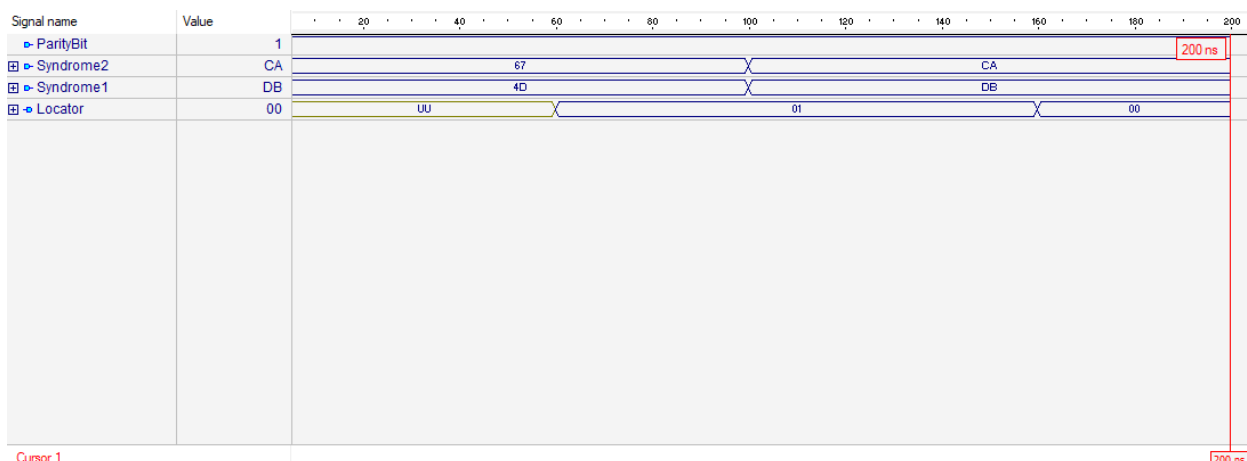


Рисунок 3.4 – Тестова симуляція сутності
FirstErrorAddressGenerator.vhd

Компонент FirstErrorDecryptor.vhd що виконує функції FED ПЗВП, необхідний для формування поліному помилок для першого викривленого розряду, якщо помилку можна виправити, або ж для сповіщення СУ про те що відбулася трикратна помилка. Поліном помилки формується за допомогою локатора, якщо найстарший біт має значення «0», тоді молодші 7 бітів використовуються для знаходження місця помилки, в випадку коли

найстарший біт «1» перевіряється кодова комбінація, і на відповідні виходи подається сигнал, поліном помилок в такому випадку на всіх розрядах має значення «0».

В даній моделі входи та виходи за призначенням відповідають входам на мікросхемі FED:

- Locator – L;
- NoError – NE;
- DetectedFailError – DE;
- EncryptedError – EC.

Приклад роботи цієї компоненти показаний на рисунку 3.5. Затримка сигналу для цієї симуляції – 60 нс.

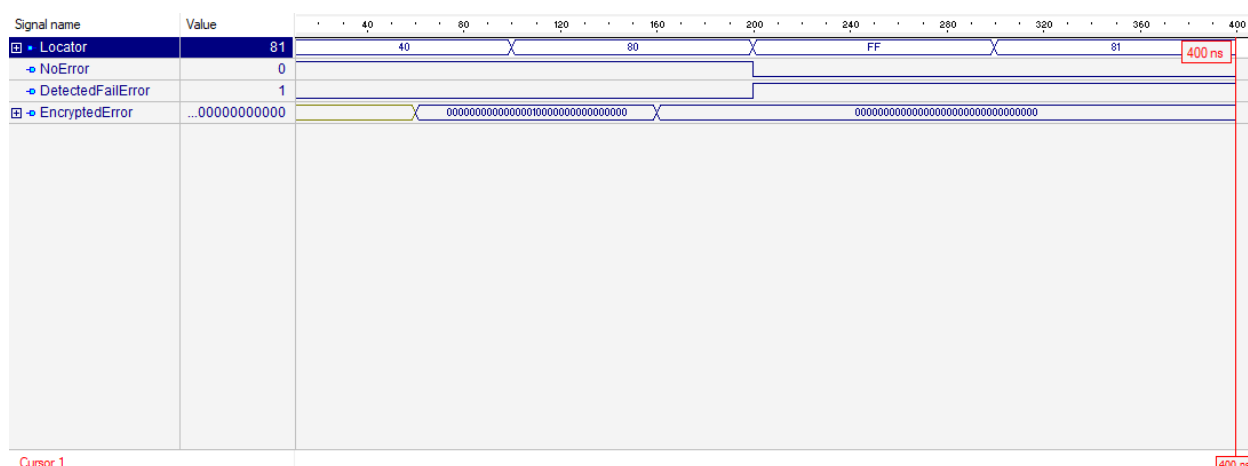


Рисунок 3.5 – Тестова симуляція сутності FirstErrorDecryptor.vhd

Компонент InputOutputBlockCheck.vhd, що виконує функції блоку IOB2 в розробленому пристрої, необхідний для запису та читання даних з 17-ти розрядної шини яка веде до ОЗПк де зберігаються контрольні розряди. За командою, яка подається на вхід 'Е' з СУ, цей пристрій перемикає режим роботи.

Входи та виходи даної моделі за функціоналом та призначенням відповідають входам та виходам з IOB2:

- Е – Е;

- DataInput – DI;
- DataOutput – DO;
- Data – D.

Тестову симуляцію можна побачити на рисунку 3.6. Затримка сигналу для цієї симуляції – 60 нс.

Компонент InputOutputBlockData.vhd, що виконує функції IOB1 в ПЗВП, призначений для запису та читання даних з шини вхідних слів. За функціоналом та IOB1 та IOB2 однакові, однак в IOB1 розрядність шини складає 128 розрядів.

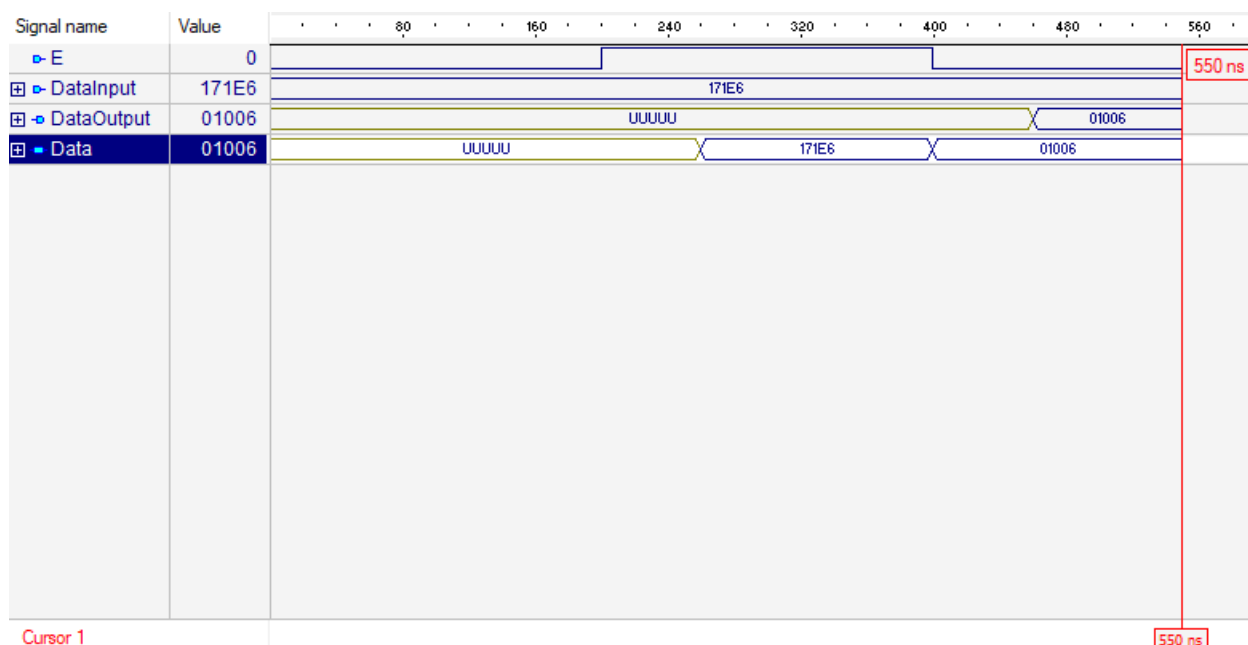


Рисунок 3.6 – Тестова симуляція сутності InputOutputBlockCheck.vhd

Входи та виходи даної сутності відповідають входам та виходам з IOB1:

- E – E;
- DataInput – DI;
- DataOutput – DO;
- Data – D.

Тестову симуляцію можна побачити на рисунку 3.7. Затримка сигналу

для цієї симуляції – 60 нс.



Рисунок 3.7 – Тестова симуляція сутності InputOutputBlockData.vhd

Компонент SecondErrorAddressGenerator.vhd, що виконує функції SEAG в розробленому пристрої, відповідає за генерацію локатора другої помилки в випадку, коли молодші 4 розряди синдрому помилки та локатор першої помилки свідчать про те, що в кодовому слові відбулася двократна помилка. Шляхом знаходження суми по модулю два молодших розрядів синдрому помилки та молодших розрядів стовпця H -матриці, номер якої вказує локатор першої помилки, знаходимо молодші розряди того стовпця матриці, який знаходиться на тому ж місці що і друга помилка.

Входи та виходи даної частини ПЗВП відповідають входам та виходам з SEAG:

- Syndrome – S;
- FirstLocator – FL;
- Locator – L.

Тестову симуляцію можна побачити на рисунку 3.8. Затримка сигналу для цієї симуляції – 60 нс.

Компонент SecondErrorDecoder.vhd, що виконує функції SED в розробленому пристрої, слугує для того, щоб сформувати поліном помилок

якщо локатор свідчить про те що помилка відбувалася та місце помилки. В інакшому випадку він формує порожній поліном помилок та надсилає сигнал CU про те що двократних помилок не було.

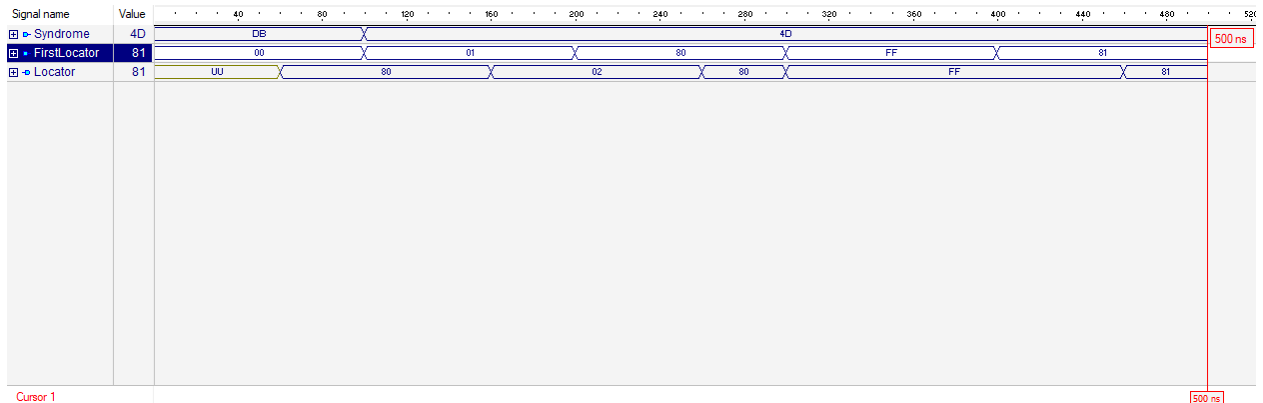


Рисунок 3.8 – Тестова симуляція сутності
SecondErrorAddressGenerator.vhd

Входи та виходи даної частини моделі розробленого пристрою відповідають входам та виходам з SED:

- Locator – L;
- NoError – NE;
- EncryptedError – EC.

Тестовий запуск цієї частини моделі можна побачити на рисунку 3.9. Затримка сигналу для цього запуску – 60 нс.

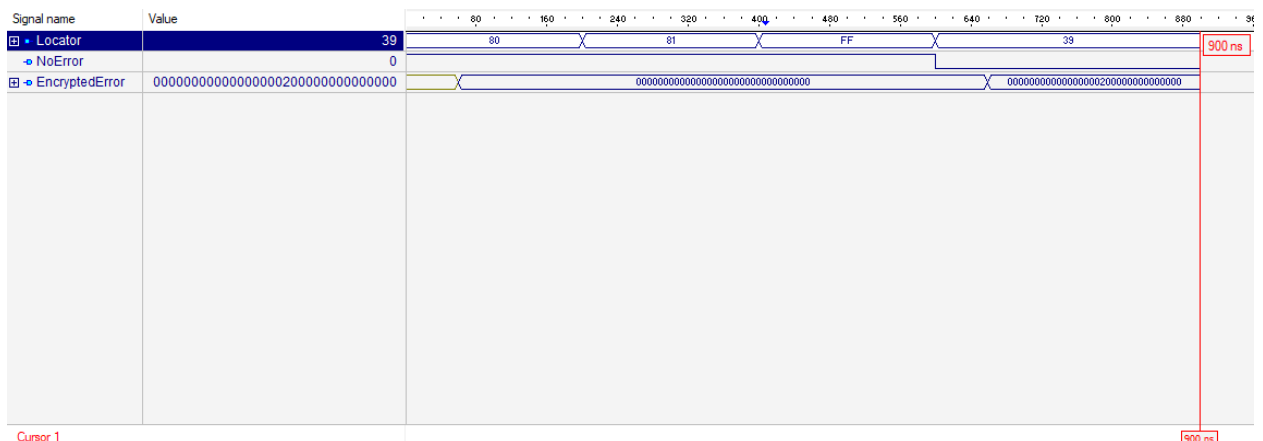


Рисунок 3.9 – Тестова симуляція сутності SecondErrorDecoder.vhd

Компонент SyndromeGenerator.vhd, що виконує функції SG в ПЗВП, необхідний для формування синдрому помилок, який свідчить про помилку в вхідному слові якщо така наявна. Ця сутність приймає до себе значення збережених контрольних розрядів та вхідне слово. Значення розрядів контрольного слова сумуються по модулю, якщо отримане значення не дорівнює очікуваному – це свідчить про те, що помилка відбулася в контрольному слові, в такій ситуації відповідний сигнал подається на CU.

SG містить в собі копію CBG, який формує контрольні розряди для нового слова, яке треба перевірити. Суму по модулю два старих та нових контрольних розрядів SG передає далі на аналізатори синдрому помилок (на FEAG та SEAG).

Входи та виходи цієї частини моделі ПЗВП відповідають входам та виходам з SG:

- DataBinary – DB;
- CheckBinary – CB;
- SyndromeError – S0;
- Syndrome1 – S1;
- Syndrome2 – S2;
- ParityBit.

Симуляцію цієї частини моделі на тестових даних можна побачити на рисунку 3.10. Затримка сигналу для цього запуску – 60 нс.

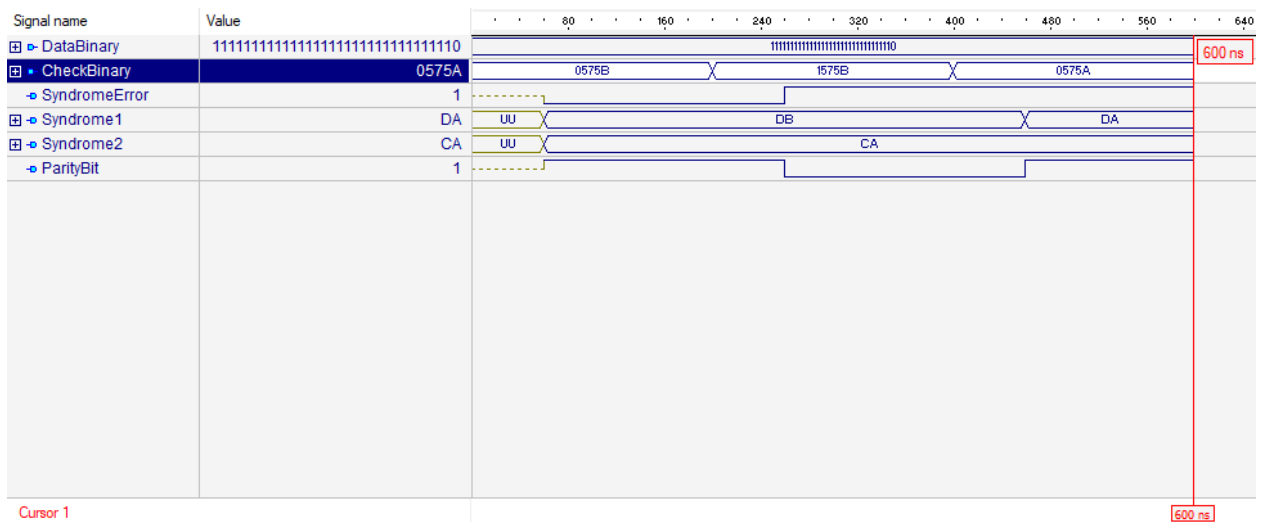


Рисунок 3.10 – Тестова симуляція сутності SyndromeGenerator.vhd

3.2.2 Тестування моделі як єдиного пристрою

Під час фінальної розробки загальної моделі ПЗВП, при компоновці загального файлу Model.vhd виникла необхідність створити сигнальні змінні які в мові VHDL умовно можна назвати “дротами”, які зв’язують входи та виходи різних схем, що компілюються та моделюються як одне ціле. Під час розробки моделі було вирішено розробити загальний шифр, за яким називати сигнали, що спростить їх відстеження в майбутньому. Шифр полягає у наступному:

[Block]_[Output],

де Block – назва схеми до якої приєднаний сигнал;

Output – вихідне значення що дає схема.

Таким чином, на кшталт, з’єднання вихідного сигналу DO блоку CEU з входом DI блоку IOB1, розрядністю 128 біт, позначатиметься, як “CEU_DO”. Всього використано 17 сигналів.

Тестування моделі буде відбуватися на трьох інформаційних словах:

1. 11111111111111111111111111111111₁₆;

2. 0123456789ABCDEFFEDCBA9876543210₁₆;
3. ABC125753DFCAFE57893AD234DC230AD₁₆.

Під час моделювання значення всіх затримок в пристроях було виставлено, як 1 нс, однак при тестових запусках було виявлено, що час, який потребується для видачі сигналу на InputOutputBlockData.vhd для видачі редагованих даних на шину DB, більший ніж 1 нс. Тому було вирішено виставити затримку в 5 нс для видачі сигналу DS в блоці ControlUnit.vhd, щоб процес корегування помилки закінчився до подачі сигналу.

На рисунках 3.11 – 3.13 зображена ініціалізація пристрою подачею сигналу CE на модель. Одразу після ініціалізації роботи моделі відбувається формування кодового слова, про це свідчить сигнал CBG_CB, та видача на шину контрольних розрядів сформованого кодового слова, про що свідчить

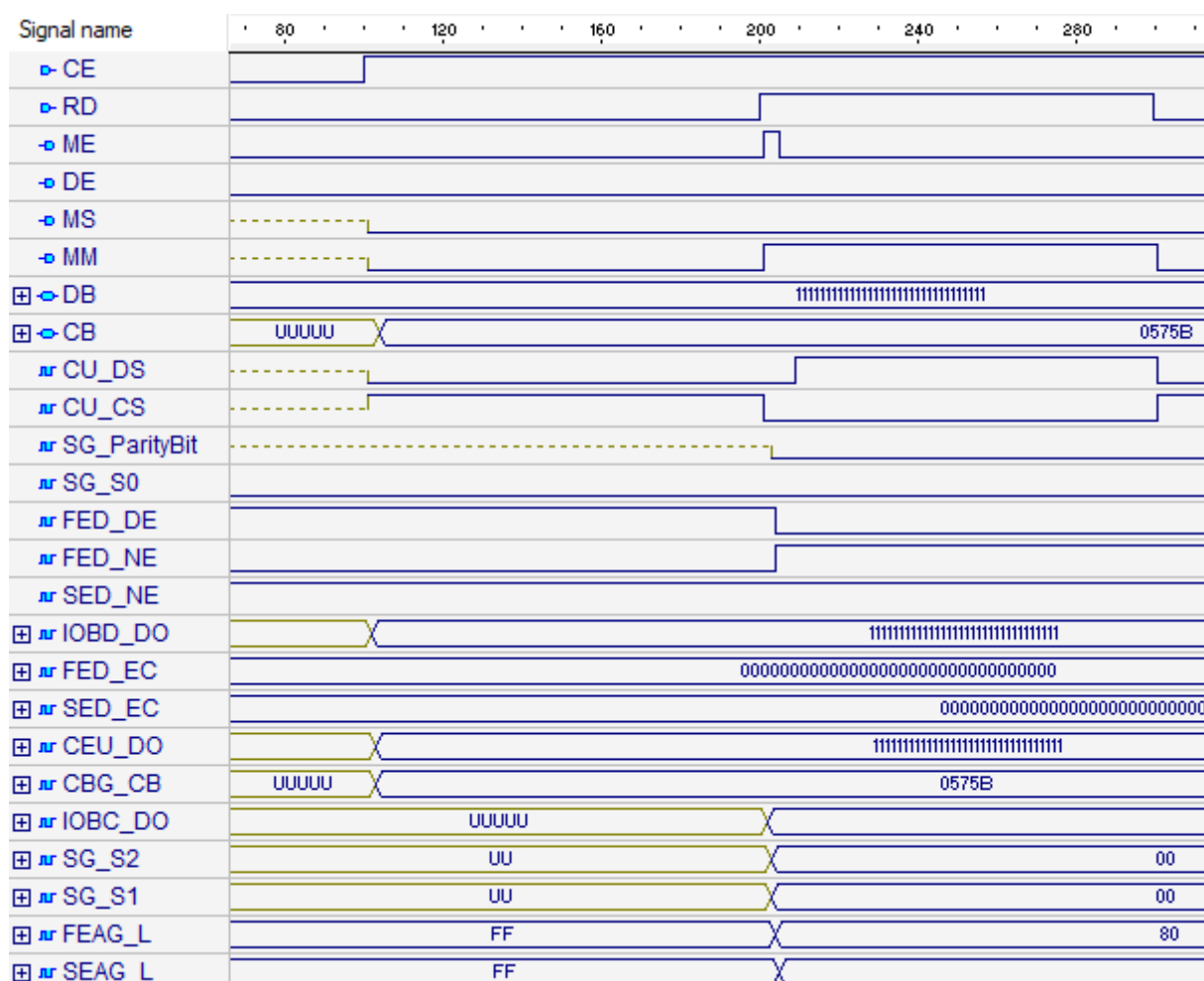


Рисунок 3.11 – Результати роботи моделі при відсутності помилки з першим тестовим набором

вихід схеми СВ. Одразу після подачі на схему сигналу про зміну режиму роботи $RD = 1$ з блоку InputOutputBlockCheck.vhd видається на блок SyndromeGenerator.vhd, про що свідчить сигнал IOBC_DO, далі результат роботи видно по сигналам SG_ParityBit, SG_S2 та SG_S1, в даному випадку всі значення дорівнюють нулю, що свідчить про те, що помилок у вхідному кодовому слові немає. По результатам роботи аналізуючи блоків значення сигналів SG_S0, FED_DE, FED_NE та SED_NE повністю відповідають значенням в таблиці 2.4, що свідчить про те що помилки немає. Відповідно на InputOutputBlockData.vhd подається сигнал про запис вихідного значення з CorrectErrorUnit.vhd про що свідчать сигнали CU_DS та CEU_DO.

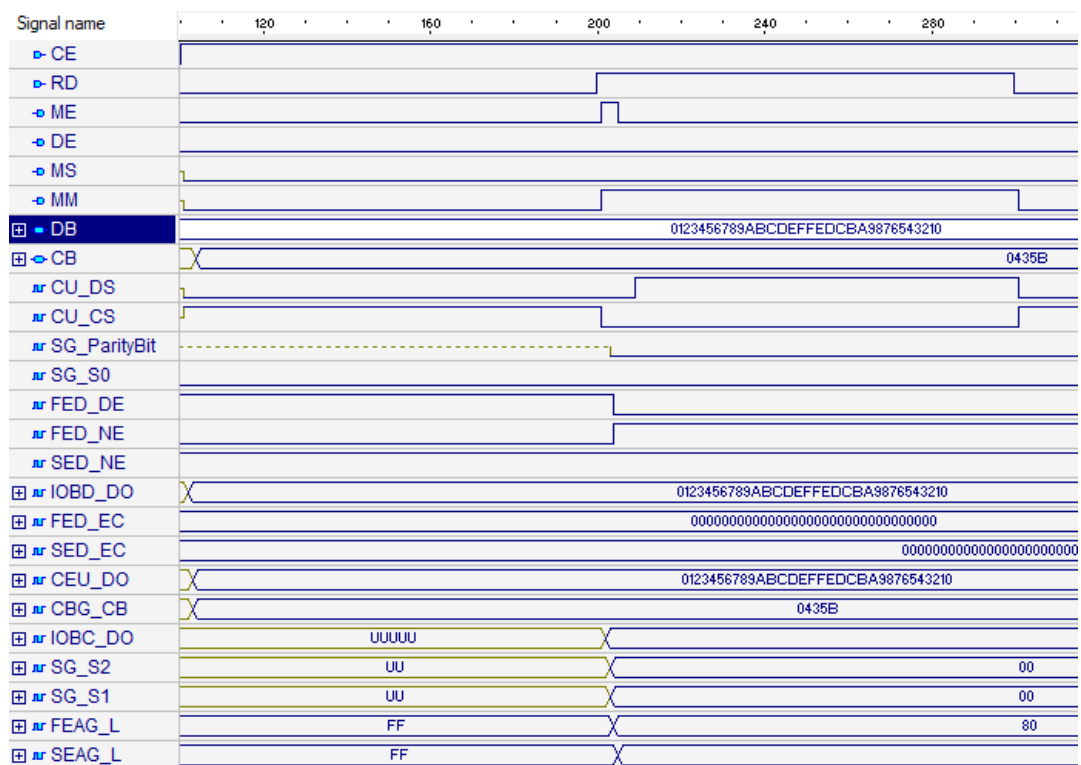


Рисунок 3.12 – Результати роботи моделі при відсутності помилки з другим тестовим набором.

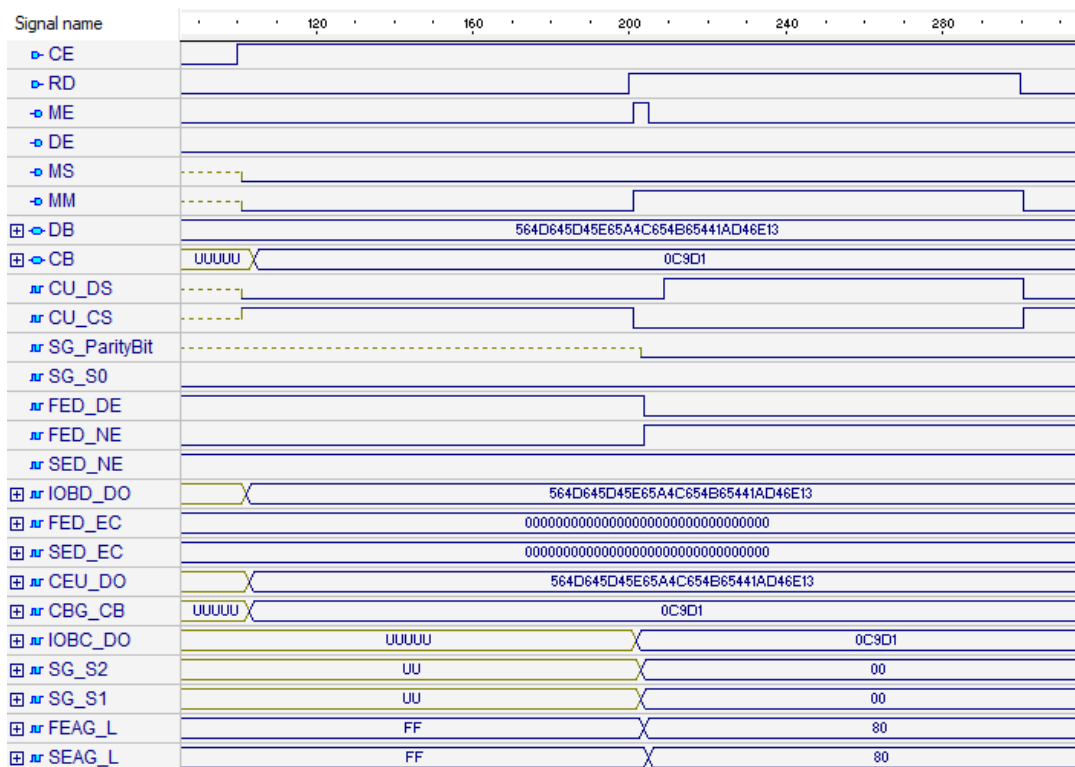


Рисунок 3.13 – Результати роботи моделі при відсутності помилки з третім тестовим набором.

На рисунках 3.14 – 3.16 зображене відпрацювання моделі в режимі читання, при подачі на шину даних в ПВЗП кодового слова з одним викривленим розрядом, та подачею на шину кодовою комбінації яка сформована вхідним словом, коли помилки ще не було. Для зручності відображення на тестових запусках було вирішено показувати помилку саме в наймолодшому розряді. Значення введеного слова можна побачити в колонці “Value” в рядку DB, значення яке знаходиться в цій комірці відповідає значенню, яке було на шині в час, на який вказує курсор. Після подачі на шини всіх необхідних даних модель одразу їх опрацювала та через 5 нс видала на шину DB виправлене кодове слово. Зокрема, результат роботи видно по сигналам SG_S0, FED_DE, FED_NE та SED_NE повністю відповідають значенням в таблиці 2.4, що свідчить про те що відбулася однократна помилка.

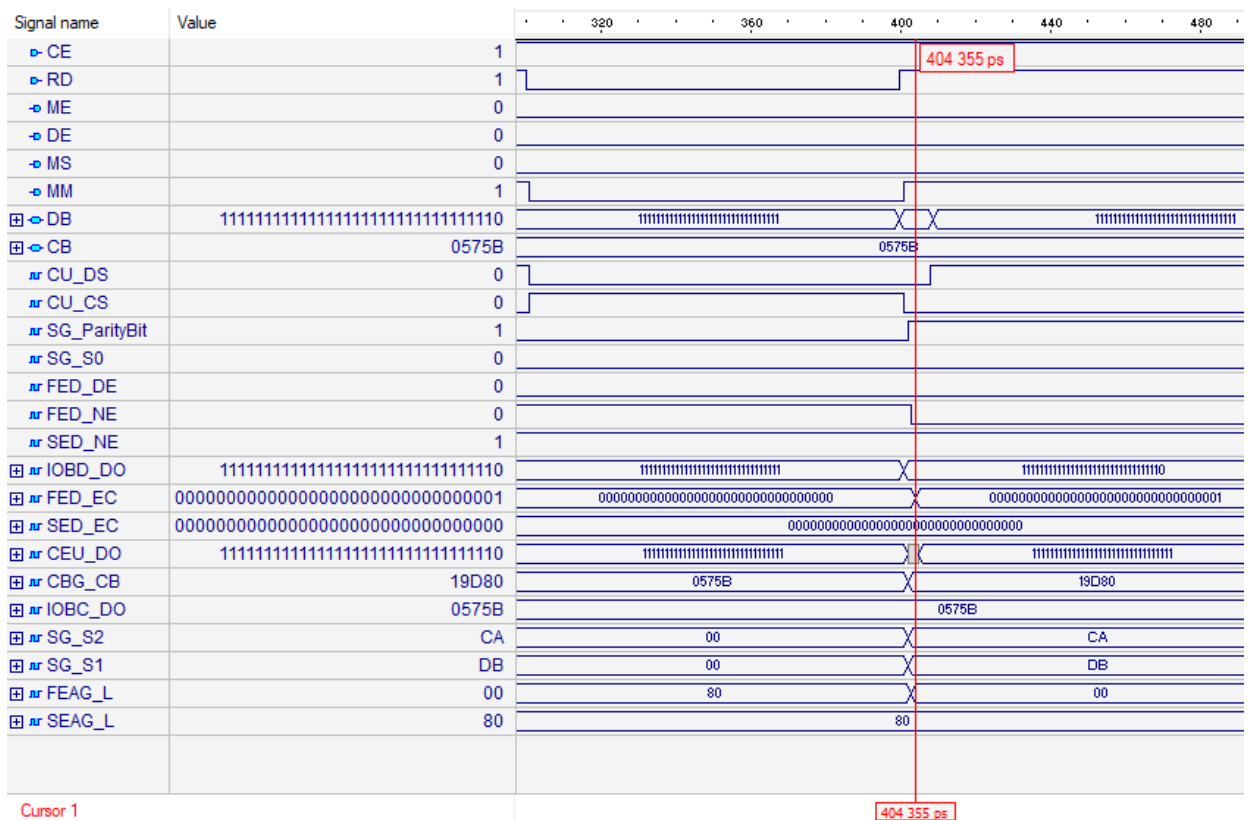


Рисунок 3.14 – Результати роботи моделі при однократній помилці з першим тестовим набором.



Рисунок 3.15 – Результати роботи моделі при однократній помилці з другим тестовим набором.

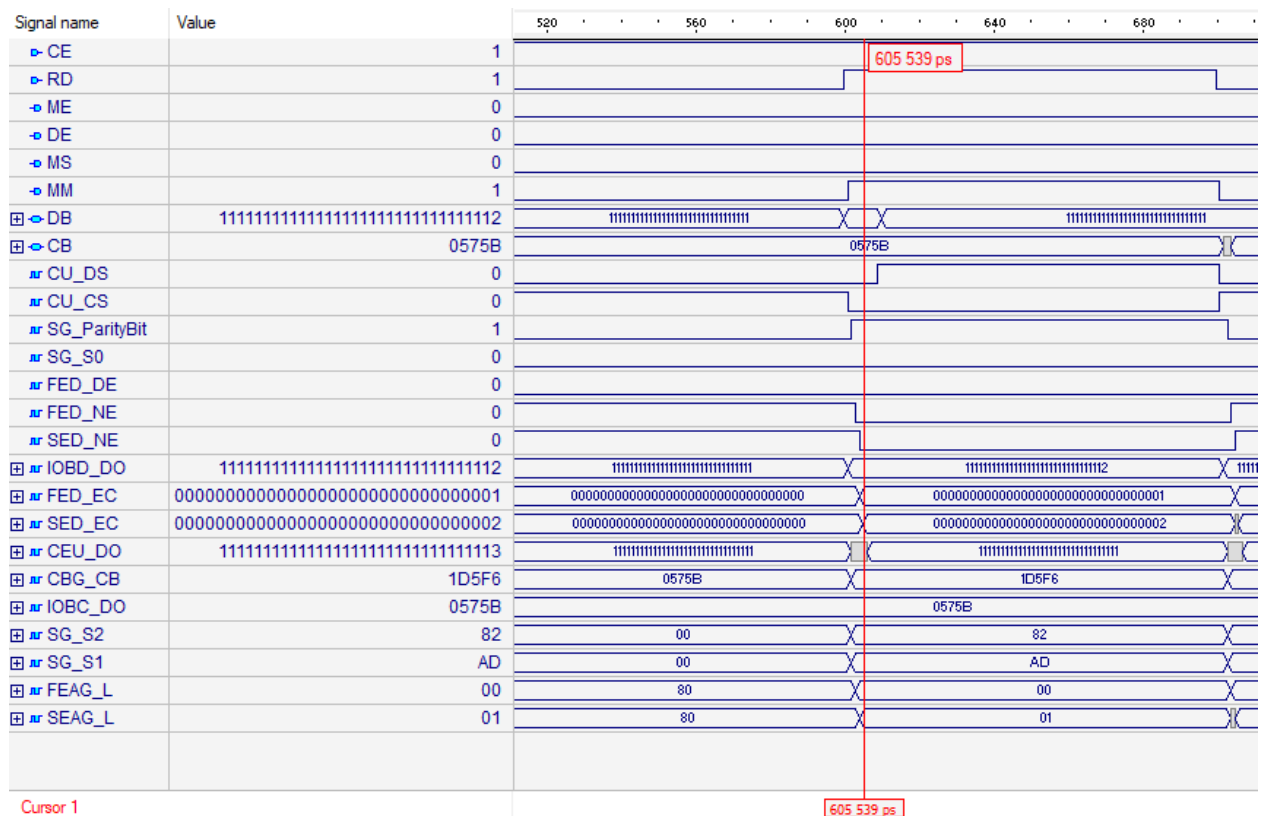


Рисунок 3.17 – Результати роботи моделі при двократній помилці з першим тестовим набором.

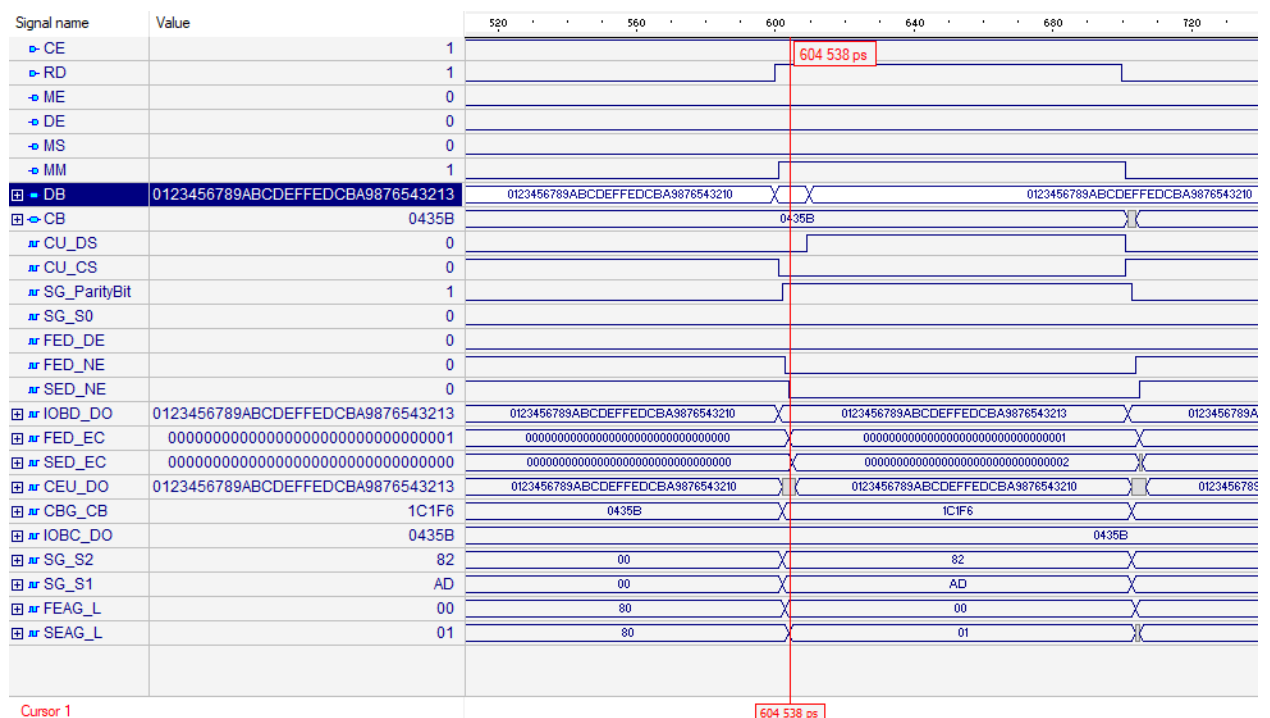


Рисунок 3.18 – Результати роботи моделі при двократній помилці з другим тестовим набором.

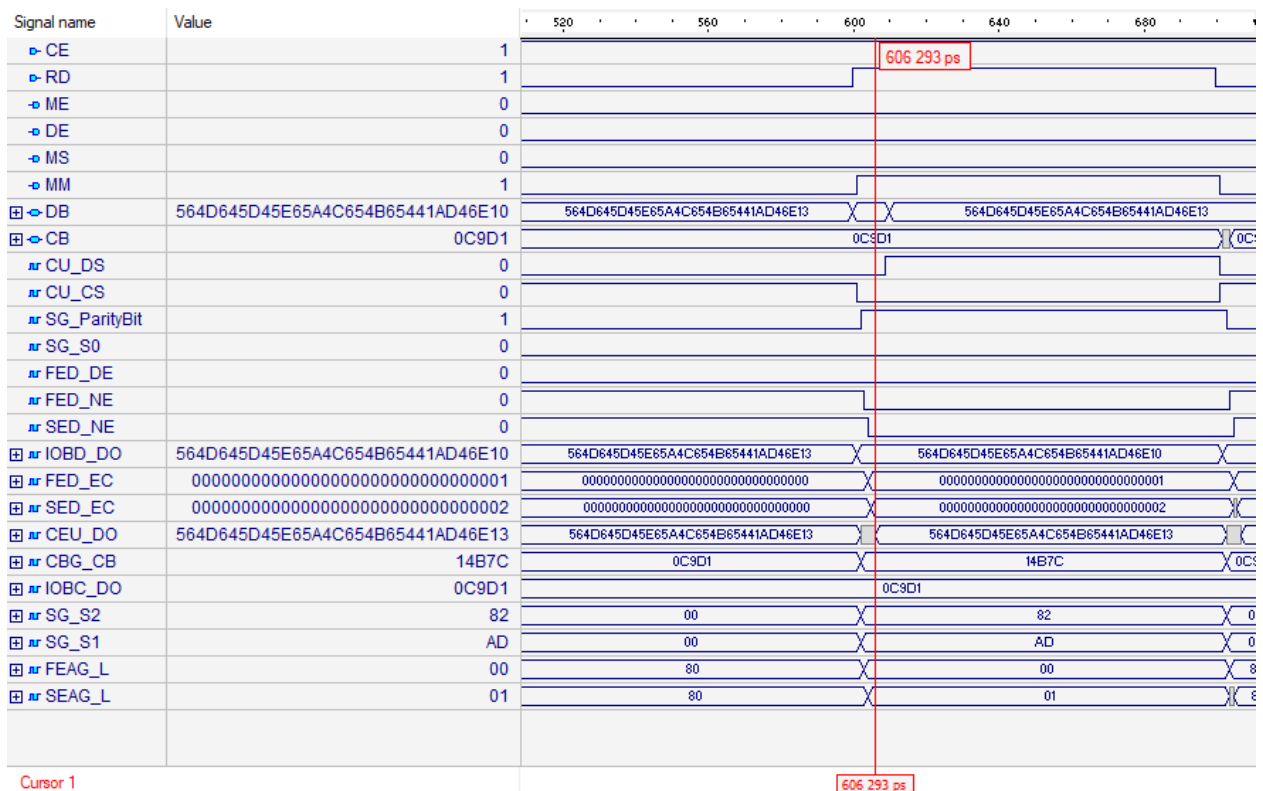


Рисунок 3.19 – Результати роботи моделі при двократній помилці з третім тестовим набором.

На рисунках 3.20 – 3.22 наведена робота змодельованого ПЗВП в режимі читання та виявлення трикратної помилки. Після подачі на шину даних інформаційного слова з викривленими трьома наймолодшими розрядами (взяті наймолодші розряди для зручності наведення прикладних результатів) та подачі на шину контрольних розрядів кодового слова, що було сформоване раніше з не викривленим інформаційним словом, модель відпрацьовує. Результати її роботи видно по значенню сигналів SG_S0, FED_DE, FED_NE та SED_NE, які повністю відповідають значенням в таблиці 2.4, що свідчить про те що відбулася багатократна помилка. В результаті з блоку ControlUnit.vhd подається сигнал про багатократну помилку, яка не може бути виправлена (на схемі сигнал “ME”). В такому випадку на шину даних не повертається відновлене слово, значення введеного слова можна побачити в рядку DB.

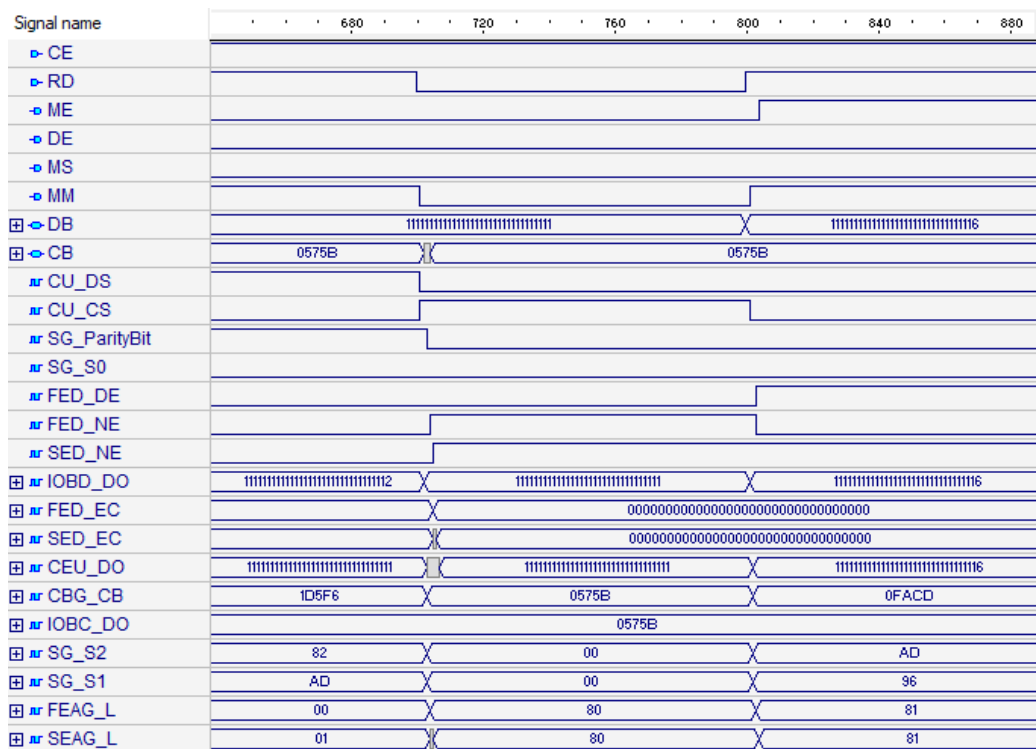


Рисунок 3.20 – Результати роботи моделі при трикратній помилці з першим тестовим набором.

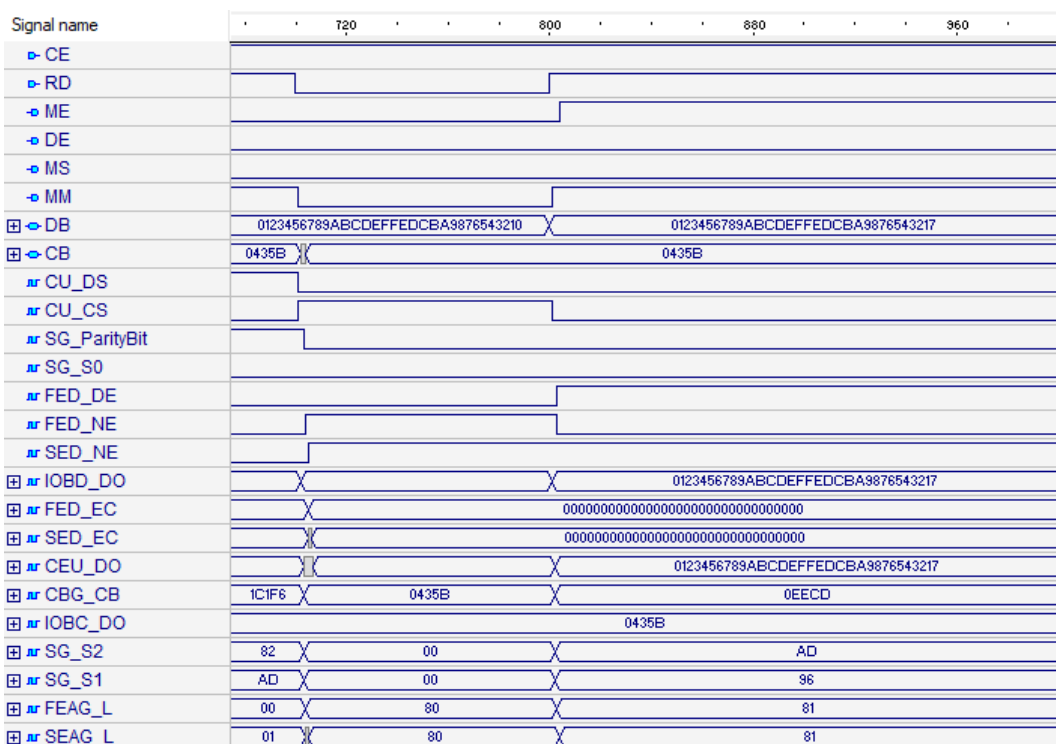


Рисунок 3.21 – Результати роботи моделі при трикратній помилці з другим тестовим набором.

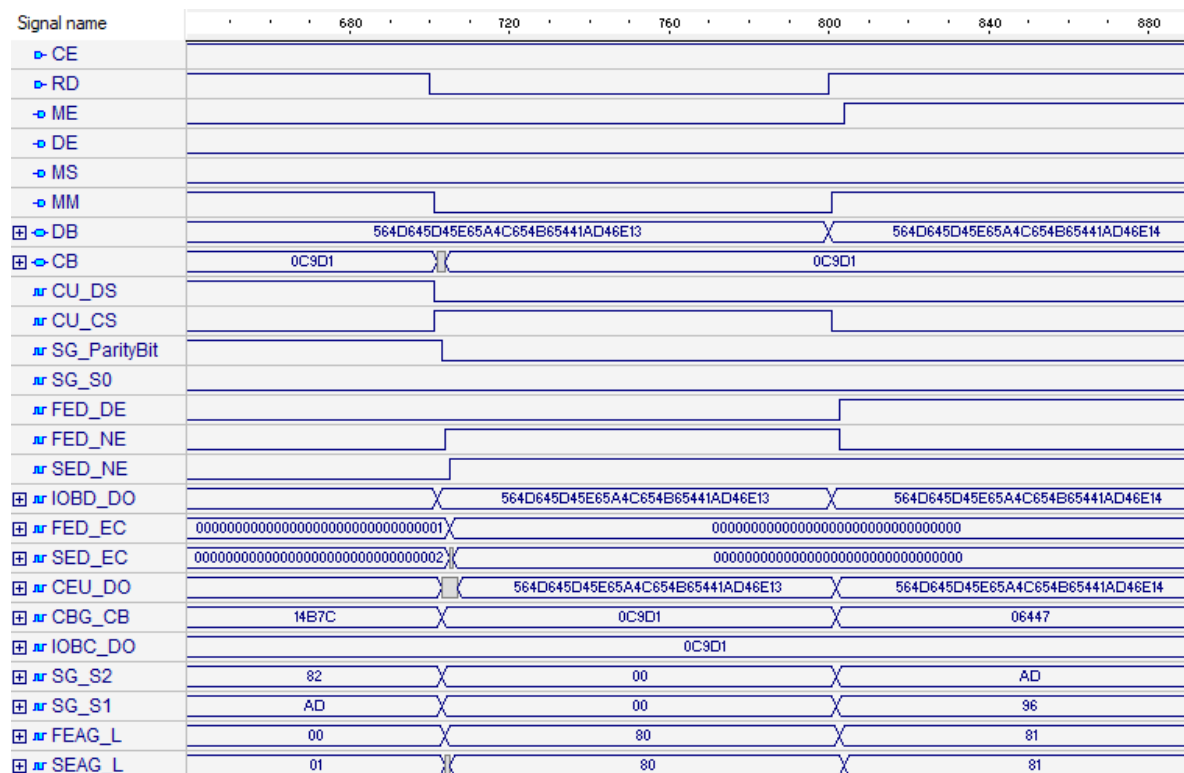


Рисунок 3.22 – Результати роботи моделі при трикратній помилці з третім тестовим набором.

ВИСНОВКИ

В процесі виконання проєкту на здобуття кваліфікаційно-освітнього рівня бакалавр комп'ютерної інженерії розроблено пристрій корекції двократних помилок в ЗП та виконано моделювання його роботи в середовищі Active-HDL.

Були досліджені корегуючі коди, їх властивості та види. Були наведені основні тези щодо використання та потреби корегуючи кодів.

Даний пристрій, основа якого базується на кодах для корегування незалежних помилок, а саме БЧХ кодів, забезпечує кодування і декодування інформаційних слів довжиною до 128 розрядів і дозволяє виправляти будь-які дві незалежні помилки в будь-якому слові.

Під час роботи над проєктом розроблена функціональна схема пристрою, вибрана оптимальна матриця декодування, та висунутий алгоритм функціонування пристрою, наведені структурні схеми підключення ПЗВП в ОС.

Для підтвердження працездатності даного пристрою була спроектована модель даного ПЗВП та проведені тести на контрольних наборах даних. При побудові моделі використовувалась мова VHDL.

В результаті виконаного бакалаврського дипломного проєкту доведено, що використання корегуючих кодів для збільшення надійності ЗП та захисту даних від пошкодження є ефективним засобом.

					ІАЛЦ.467200.004 ПЗ	Арк.
						52
Змін.	Арк.	№ докум.	Підпис	Дата		

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Березюк Н.Т. Кодирование информации. Двоичные коды. Харків: Вища школа, 1978. – 252 с.
2. Блейхут Р.Е. Теория и практика кодов, контролирующих ошибки. Москва: Мир, 1986. – 576 с.
3. Валуцкий В.Н., Самофалов К.Г., Романкевич А.М., Каневский Ю.С., Пиневич М.М.: “Прикладная теория цифровых автоматов”. - Київ. “Вища школа”, 1987. – 375с.
4. Горднов А.Ю., Бекін Н. В. і ін. Справочник. Большие интегральные схемы запоминающих устройств. - Москва. “Радио и связь”, 1990. – 287с.
5. Горшков В.Н., Надежность оперативных запоминающих устройств. Санкт-Петербург. Энергоатомиздат. 1987. - 365 с.
6. Конопелько В.К., Лосев В.В., Надежное хранение информации в полупроводниковых запоминающих устройствах. Москва.: Радио и связь, 1986. - 240 с.
7. Огнєв І.В., Саричєв К.В., Надежность запоминающих устройств, Москва. Радио и связь. 1988. - 120 с.
8. Пітерсон У., Уєлдон Е., Коды, исправляющие ошибки: Пер. з англ./ Під ред. Р.Л.Добрушина и С.І.Самойленко.-Москва: Мир,1976. 270 с.
9. Computer Engineering Laboratory. Tutorial for VHDL Simulation with ModelSim and QSPRO: URL: <http://www.people.vcu.edu/~rhklenke/tutorials/vhdl/> (дата звернення 1.03.2020).
10. Опис бібліотеки STD_LOGIC_1164.vhdl мови VHDL: URL: https://www.csee.umbc.edu/portal/help/VHDL/std_logic_1164.vhdl (дата звернення 1.03.2020)
11. Квітка С. О. Електроніка та мікросхемотехніка. Навчальний посібник / С. О. Квітка, С. Ф. Курашків, О. В. Соломаха. – Мелітополь: Люкс, 2018. – 176 с.